

О. Н. Лебедев

Микросхемы памяти и их применение

Издательство «Радио и связь»



Основана в 1947 году
Выпуск 1152

О.Н.Лебедев

Микросхемы памяти и их применение



Москва
«Радио и связь» 1990

65-74-73-101-75-67

ББК 32.844
Л 33
УДК 621.3.049.77:681.327.664

Рецензенты: канд. техн. наук М. А. БЕДРЕКОВСКИЙ, В. А. ХАНОВ

Лебедев О. Н.
Л33 Микросхемы памяти и их применение.— М.: Радио и связь, 1990.— 160 с.: ил. (Массовая радиобиблиотека. Вып. 1152).

ISBN 5-256-00656-8.

Рассмотрены устройство, режимы работы, функциональные возможности и электрические характеристики микросхем оперативных и постоянных запоминающих устройств. Приведены рекомендации по выбору микросхем памяти для практических разработок, по реализации режимов управления микросхемами всех видов при записи, хранении и считывании информации. Даны развернутые примеры применения микросхем памяти в устройствах различного назначения.

Книга отражает современное состояние микроэлектронной элементной базы запоминающих устройств и знакомит с перспективными направлениями ее развития.

Для подготовленных радиолюбителей.

Л $\frac{2302030700-105}{046(01)-90}$ 69-90 **ББК 32.844**

65-74-73-101-75-67

Научно-популярное издание

Массовая радиобиблиотека. Вып. 1152

ЛЕБЕДЕВ ОЛЕГ НИКОЛАЕВИЧ

МИКРОСХЕМЫ ПАМЯТИ И ИХ ПРИМЕНЕНИЕ

Редактор И. Н. Суслова
Обложка художника В. Ф. Громова
Художественный редактор Н. С Шеин
Технический редактор Т. Г. Родина
Корректор Л. А. Буданцева

ИБ № 1747

Сдано в набор 01.12.89. Подписано в печать 29.04.90. Т-06943. Формат $60\times88^1/_{16}$. Бумага офсетная № 2. Гарнитура литературная. Печать офсетная. Усл. печ. л. 9,80. Усл. кр.-отт. 10,05. Уч.-изд. л. 10,53. Тираж 200 000 экз. Изд. № 22195. Зак. № 3484. Цена 75 к.

Издательство «Радио и связь» 101000 Москва, Почтамт, а/я 693

Ордена Октябрьской Революции и ордена Трудового Красного Знамени МПО «Первая Образцовая типография» Государственного комитета СССР по печати. 113054, Москва, Валовая, 28.

ISBN 5-256-00656-8

Предисловие

Одним из ведущих направлений развития современной микроэлектронной элементной базы являются большие интегральные микросхемы памяти, которые служат основой для построения запоминающих устройств в аппаратуре различного назначения. Номенклатуру микросхем памяти отечественного производства характеризует большое разнообразие конструктивно-технологических и схемотехнических исполнений, функциональных возможностей, электрических характеристик, областей применения.

Сейчас трудно назвать область техники, связанную с созданием электронной техники, в которой не применяют микросхемы памяти. Заметно повышается интерес к ним и у радиолюбителей. В последнее время увеличилось число изданий, посвященных микросхемам памяти [1—7]. Однако эти издания являются либо узкоспециальными [5—7], либо рассчитаны на учебную аудиторию [4], либо адресованы профессиональным разработчикам систем памяти [1—3]. Литература, предназначенная для радиолюбителей и раскрывающая с нужной им детализацией вопросы устройства и применения микросхем памяти, практически отсутствует.

В предлагаемой книге в систематизированном виде описаны устройство, режимы работы, функциональные возможности и электрические характеристики микросхем памяти, даны рекомендации по выбору микросхем для реализации запоминающих устройств различного назначения. Приведены примеры применения микросхем памяти для построения оперативных (ОЗУ) и постоянных (ПЗУ) запоминающих устройств, реализации режимов управления ими при записи, хранении и считывании информации, а также при программировании и перепрограммировании микросхем ПЗУ.

Материал в книге расположен в порядке, который обусловлен общепринятой классификацией микросхем памяти по функциональному признаку: вначале последовательно рассмотрены устройство, режимы работы, параметры и вопросы практического применения микросхем ОЗУ, затем — микросхем ПЗУ. Такой порядок изложения, думается, будет удобен для читателя в отношении компактности сведений по микросхемам одного вида, возможности избирательного изучения материала и пользования им.

Достаточно детально изложенные сведения о характеристиках микросхем памяти, режимах их работы и способах реализации управляющих устройств придают книге четко выраженный справочный характер. Вместе с тем книга содержит материал о типовых структурных построениях микросхем памяти, тенденциях их развития на ближайшее будущее, функциональных связях между управляющими сигналами и элементами структур микросхем, факторах, оказывающих существенное влияние на характеристики микросхем. Эти сведения, по мнению автора, должны помочь читателю глубже разобраться в свойствах микросхем памяти, сориентироваться в этих сложных, многообразных и перспективных микросхемах и творчески подходить к использованию заложенных в них возможностей.

При написании книги использованы материалы отечественных и зарубежных публикаций, а также результаты исследований автора в области применения микросхем памяти. Автор надеется, что книга будет полезной широкому кругу радиолюбителей при решении практических вопросов применения микросхем памяти в электронных устройствах.

Список сокращений, принятых в книге

АЦП	— аналого-цифровой преобразователь
БИС	— большая интегральная схема
ИИЛ	— интегральная инжекционная логика
КЗУ	— контроллер запоминающего устройства
ЛИЗМОП	— МОП-структура с лавинной инжекцией заряда
МБР	— многорежимный буферный регистр
МДП	— структура «металл-диэлектрик-полупроводник»
МНОП	— структура «металл-нитрид кремния-окисел кремния-полупроводник (кремний)»
МПИ	— магистральный параллельный интерфейс
МПП	— магистральный приемопередатчик
ОЗУ (RAM)	— оперативное запоминающее устройство
ОК, ОЭ	— открытые коллектор и эмиттер
ПЗ	— плавающий затвор
ПЗУ (ROM)	— постоянное запоминающее устройство
ПЗУМ (ROM)	— масочное ПЗУ
ПЛМ	— программируемая логическая матрица
ППЗУ (PROM)	— программируемое (пользователем) ПЗУ
РПЗУ (EPROM)	— репрограммируемое ПЗУ
РПЗУ-УФ	— репрограммируемое ПЗУ со стиранием ультрафиолетовым (УФ) излучением и записью электрическим сигналом
РПЗУ-ЭС	— репрограммируемое ПЗУ со стиранием и записью электрическим сигналом
РШ	— разрядная шина
ТТЛ	— транзисторно-транзисторная логика
ТТЛШ	— транзисторно-транзисторная логика с диодами Шотки
УВВ	— устройство ввода-вывода
ША	— шина адреса
ШД	— шина данных
ШД/А	— шина «Данные-Адрес»
ШУ	— шина управления
ШФ	— шинный формирователь

ЦАП — цифроаналоговый преобразователь
ЭП — элемент памяти
ЭСЛ — эмиттерно-связанная логика
ЯП — ячейка памяти
n-МДП — МДП-структура с каналом *n*-типа
p-МДП — МДП-структура с каналом *p*-типа

Глава 1

ОБЩАЯ ХАРАКТЕРИСТИКА МИКРОСХЕМ ПАМЯТИ

1.1. Назначение микросхем памяти и их разновидности

Компактная микроэлектронная «память» широко применяется в современной электронной аппаратуре самого различного назначения. И тем не менее разговор о назначении микросхем памяти и их классификации удобно начать с рассмотрения их места и роли в ЭВМ (микроЭВМ) (рис. 1.1), поскольку понятие память в таком случае получает наглядную интерпретацию. Память определяют как функциональную часть ЭВМ, предназначенную для записи, хранения и выдачи команд и обрабатываемых данных. Комплекс технических средств, реализующих функцию памяти, называют запоминающим устройством (ЗУ).

Для обеспечения работы процессора (микропроцессора) необходимы программа, т. е. последовательность команд, и данные, над которыми процессор производит предписываемые командами операции. Команды и данные поступают в основную память ЭВМ через устройство ввода, на выходе которого они получают цифровую форму представления, т. е. форму кодовых комбинаций

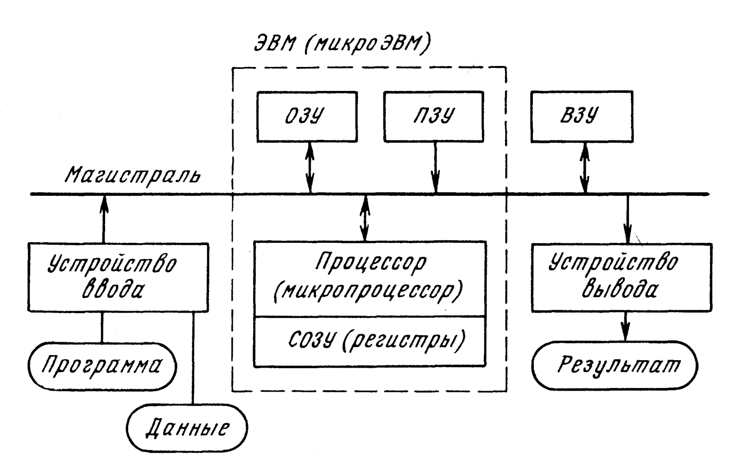


Рис. 1.1. Структура ЭВМ

0 и 1. Основная память, как правило, состоит из ЗУ двух видов — оперативного (ОЗУ) и постоянного (ПЗУ).

Оперативное ЗУ предназначено для хранения переменной информации, оно допускает изменение своего содержимого в ходе выполнения процессором вычислительных операций с данными. Это значит, что процессор может выбрать (режим считывания) из ОЗУ код команды и данные и после обработки поместить в ОЗУ (режим записи) полученный результат. Причем возможно размещение в ОЗУ новых данных на местах прежних, которые в этом случае перестают существовать. Таким образом, ОЗУ может работать в режимах записи, считывания и хранения информации.

Постоянное ЗУ содержит информацию, которая не должна изменяться в ходе выполнения процессором программы. Такую информацию составляют стандартные подпрограммы, табличные данные, коды физических констант и постоянных коэффициентов и т. п. Эта информация заносится в ПЗУ предварительно, например путем пережигания легкоплавких металлических перемычек в структуре ПЗУ, и в ходе работы процессора может только считываться. Таким образом ПЗУ работает в режимах хранения и считывания.

Функциональные возможности ОЗУ шире, чем ПЗУ: ОЗУ может работать в качестве ПЗУ, т. е. в режиме многократного считывания однократно записанной информации, а ПЗУ в качестве ОЗУ использовано быть не может, так как не позволяет изменить однократно занесенную в него информацию. Далее будет рассмотрена разновидность ПЗУ, которая допускает перепрограммирование, однако и это ПЗУ не может заменить ОЗУ.

В свою очередь, ПЗУ обладает преимуществом перед ОЗУ в свойстве сохранять информацию при сбоях и отключении питания. Это свойство получило название энергонезависимость. Оперативное ЗУ является энергозависимым, так как информация, записанная в ОЗУ, утрачивается при сбоях питания.

Для обеспечения надежной работы ЭВМ при отказах питания нередко ПЗУ используют и в качестве памяти программ. В таком случае программа заносится в ПЗУ предварительно и уже не может быть заменена в данном ПЗУ другой программой. Очевидно, использовать ПЗУ таким образом целесообразно прежде всего в специализированных автоматических устройствах, работающих по постоянной программе.

Запоминающее устройство, реализующее функции основной памяти, размещают рядом с процессором на одной плате, в одном блоке или стойке в зависимости от типа ЭВМ, и такое ЗУ в этом смысле является внутренним. Быстродействие внутреннего ЗУ должно быть соизмеримо с быстродействием процессора. Однако практически это требование не всегда удается выполнить: по временным параметрам ОЗУ и ПЗУ несколько отстают

от процессора. Поэтому внутри ЭВМ (микроЭВМ) обычно размещают еще и вспомогательную (буферную) память на быстродействующих регистрах, которая используется в качестве сверхоперативного ЗУ (СОЗУ) с небольшой информационной емкостью для кратковременного хранения текущих команд, адресов и данных.

Наряду с внутренней памятью вычислительная система (ЭВМ с внешними устройствами различного функционального назначения) включает внешнюю память, реализуемую обычно на магнитных носителях: лентах или дисках. Внешние ЗУ (ВЗУ) содержат большие массивы информации, характеризуются сравнительно низким быстродействием, обусловленным наличием электромеханических устройств для записи и считывания, а также имеют значительные массу и габаритные размеры.

Перейдем теперь к вопросу о реализации внутренней и внешней памяти ЭВМ (микроЭВМ) на основе микроэлектронной элементной базы. В современных вычислительных средствах и в электронной аппаратуре различного функционального назначения для построения ОЗУ, ПЗУ и регистровых ЗУ широко применяют полупроводниковые интегральные микросхемы.

Для микросхем памяти, выпускаемых отечественной промышленностью, характерны широкая номенклатура типов, значительное разнообразие вариантов конструктивно-технологического исполнения, большой диапазон функциональных характеристик и значений электрических параметров, существенные различия в режимах работы и в областях применения.

Микросхемы памяти изготавливают по полупроводниковой технологии на основе кремния с высокой степенью интеграции компонентов на кристалле, что определяет их принадлежность к большим интегральным схемам (БИС). Конструктивно БИС памяти представляет собой полупроводниковый кристалл с площадью в несколько десятков квадратных миллиметров, заключенный в корпус.

Для самой общей характеристики БИС памяти принимают в расчет, прежде всего, их информационную емкость, быстродействие, энергопотребление. Информационную емкость определяют числом единиц информации в битах или байтах (один байт равен восьми битам), которое БИС памяти может хранить одновременно. Быстродействие характеризуют временны́ми параметрами, в частности временем цикла записи или считывания. Энергопотребление определяют произведением тока потребления и напряжений источников питания. Нередко для БИС памяти указывают энергопотребление в расчете на один бит. Для некоторых типов БИС приводят два значения потребляемой мощности — одно для режима обращения, когда осуществляют запись или считывание информации, другое — для режима хранения, при котором уровень мощности может быть существенно снижен.

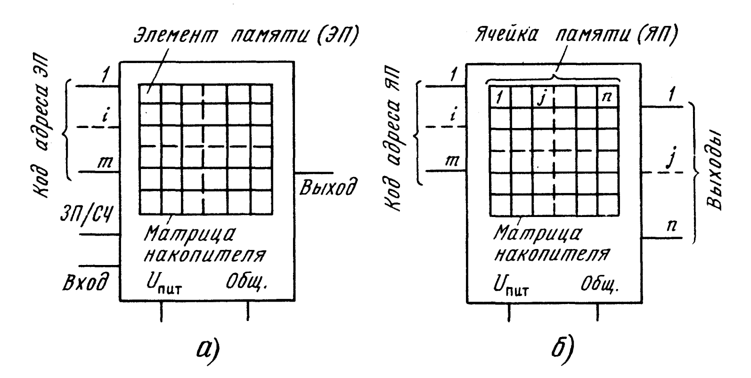


Рис. 1.2. Микросхема памяти как функциональный узел:
а — ОЗУ; *б* — ПЗУ

По функциональному назначению микросхемы памяти подразделяют на два вида: ОЗУ и ПЗУ. Для общего представления о микросхемах памяти как функциональных узлах электронной аппаратуры рассмотрим их наиболее характерные свойства, отражающие принцип построения и управление режимами работы.

Основной составной частью микросхемы ОЗУ (рис. 1.2, *а*) является массив элементов памяти, объединенных в матрицу накопителя. Элемент памяти (ЭП) может хранить один бит (0 или 1) информации. Каждый ЭП имеет свой адрес. Для обращения к ЭП необходимо его «выбрать» с помощью кода адреса, сигналы которого подводят к соответствующим выводам микросхемы.

Запоминающее устройство, ОЗУ или ПЗУ, которое допускает обращение по адресу к любому ЭП в произвольном порядке, называют запоминающим устройством с произвольной выборкой ЗУПВ.

Разрядность кода адреса m, равная числу двоичных единиц в нем, определяет информационную емкость микросхемы ОЗУ, т. е. число ЭП в матрице накопителя, которое можно адресовать: оно равно 2^m. Например, микросхема ОЗУ, у которой число адресных входов равно $m=10$, содержит в матрице $2^{10}=1024$ ЭП, т. е. имеет информационную емкость 1024 бит. (Заметим, что для обозначения числа $2^{10}=1024$ в вычислительной технике применяют букву К.)

Для ввода и вывода информации служит вход и выход микросхемы. Для управления режимом микросхемы памяти необходим сигнал «Запись-считывание», значение 1 которого определяет режим записи бита информации в ЭП, а 0 — режим считывания бита информации из ЭП. Такую организацию матрицы накопителя, при которой одновременно можно записывать или считывать один бит, называют одноразрядной. Большинство микросхем

ОЗУ имеют одноразрядную организацию. Но некоторые из них имеют многоразрядную организацию, иначе называемую «словарной». У таких микросхем несколько информационных входов и столько же выходов, и поэтому они допускают одновременную запись (считывание) многоразрядного кода, который принято называть «словом».

Микросхемы ОЗУ по типу ЭП разделяют на статические и динамические. В микросхемах статических ОЗУ в качестве ЭП применены статические триггеры на биполярных или МДП-транзисторах. Как известно, статический триггер способен при наличии напряжения питания сохранять свое состояние неограниченное время. Число состояний, в которых может находиться триггер, равно двум, что и позволяет использовать его для хранения двоичной единицы информации.

В микросхемах динамических ОЗУ элементы памяти выполнены на основе электрических конденсаторов, сформированных внутри полупроводникового кристалла. Такие ЭП не могут долгое время сохранять свое состояние, определяемое наличием или отсутствием электрического заряда, и поэтому нуждаются в периодическом восстановлении (регенерации). Микросхемы динамических ОЗУ отличаются от микросхем статических ОЗУ бóльшей информационной емкостью, что обусловлено меньшим числом компонентов в одном ЭП и, следовательно, более плотным их размещением в полупроводниковом кристалле. Однако динамические ОЗУ сложнее в применении, поскольку нуждаются в организации принудительной регенерации, и в дополнительном оборудовании, и в усложнении устройств управления.

Микросхемы ПЗУ (рис. 1.2, *б*) построены также по принципу матричной структуры накопителя. Функции ЭП в микросхемах ПЗУ выполняют перемычки в виде проводников, диодов или транзисторов между шинами строк и столбцов в накопителе. В такой матрице наличие перемычки соответствует, например, 1, а ее отсутствие — 0. Микросхемы ПЗУ имеют словарную организацию, и поэтому информация считывается в форме многоразрядного кода, т. е. словом. Совокупность ЭП в матрице накопителя, в которой размещается слово, называют ячейкой памяти (ЯП). Число ЭП в ЯП определяет ее разрядность n. Каждая ЯП имеет свой адрес, и для обращения к определенной ЯП для считывания из нее информации необходимо к адресным выводам микросхемы подвести сигналы кода, соответствующего данной ячейке адреса. Число ячеек памяти равно 2^m, а информационная емкость микросхемы — $2^m \times n$ бит.

Занесение информации в микросхемы ПЗУ, т. е. их программирование, осуществляют в основном двумя способами. Один способ заключается в формировании в накопителе перемычек в местах пересечения строк и столбцов матрицы через маску на заключительной технологической стадии изготовления микро-

схемы ПЗУ. Такие микросхемы ПЗУ называют масочными. Другой способ программирования микросхемы ПЗУ основан на пережигании легкоплавких перемычек в тех пересечениях шин строк и столбцов, куда должен быть записан 0 или 1, в зависимости от принятого кодирования. В исходном состоянии такая микросхема имеет в матрице перемычки во всех пересечениях строк и столбцов. Программирование осуществляет пользователь электрическими импульсами с помощью устройства для программирования, называемого программатором.

Микросхемы ПЗУ, масочные (ПЗУМ) и программируемые пользователем (ППЗУ), допускают однократное программирование, поскольку оно осуществляется формированием или разрушением соединений в матрице. Один из вариантов реализации ПЗУ ориентирован на программирование заданных логических функций. Такие ПЗУ называют программируемыми логическими матрицами (ПЛМ).

Существует разновидность микросхем ПЗУ, допускающая неоднократное (сотни и тысячи циклов) перепрограммирование (репрограммирование). Элементом памяти в микросхемах репрограммируемых ПЗУ (РПЗУ) является МДП-транзистор, обладающий свойством переходить в состояние проводимости под воздействием импульса программирующего напряжения и сохранять это состояние длительное время (тысячи часов). Данный эффект обусловлен накоплением электрического заряда в подзатворном диэлектрике. Если на транзистор не воздействовать импульсом программирующего напряжения, то он сохранит закрытое для электрического тока состояние. Для стирания информации перед новым циклом программирования необходимо вытеснить накопленный под затвором заряд. В зависимости от способа выполнения этой операции микросхемы РПЗУ разделяют на два вида: со стиранием электрическим сигналом (РПЗУ-ЭС) и ультрафиолетовым светом (РПЗУ-УФ), которым полупроводниковый кристалл облучают через специальное окно в крышке корпуса. Микросхемы РПЗУ сохраняют информацию длительное время без питания, т. е. являются энергонезависимыми.

Регистры широко применяют для хранения небольших объемов информации. Номенклатура микросхем регистров хорошо развита и разнообразна. По принципу построения различают регистры хранения и сдвига. Регистр хранения представляет собой (рис. 1.3, *а*) совокупность триггеров, объединенных по цепям управления их режимом (вход C). Цифровой код, т. е. слово, записывают в регистр хранения всеми разрядами одновременно $DI_1 - DI_i - DI_n$ по разрешающему сигналу на входе C=1. При C=0 обеспечивается режим хранения записанной информации, которая в виде уровней напряжения присутствует на выходах $DO_1 - DO_i - DO_n$ и может быть считана без разрушения. Последующая информация замещает прежнюю. Число триггеров n

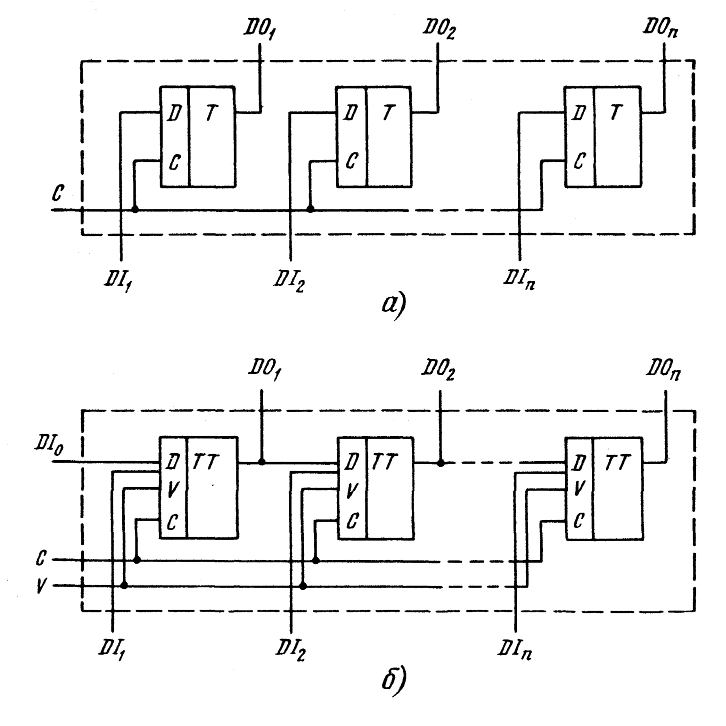


Рис. 1.3. Функциональные схемы регистров хранения (*а*), сдвига (*б*)

определяет разрядность регистра и, следовательно, хранимого кода. Такие регистры по способу записи и считывания информации называют параллельными.

Регистр сдвига (рис. 1.3, *б*) построен на последовательно соединенных триггерах двухступенчатой структуры. Информация в такой регистр может быть записана поразрядно последовательно во времени со стороны входа DI_0 первого триггера путем продвижения по цепи триггеров под воздействием тактовых сигналов на входе C. Другой способ записи — параллельный, т. е. в один такт всеми разрядами DI_1 — DI_n одновременно. Режим записи задают сигналом на управляющем входе V.

Аналогично режиму записи могут быть реализованы два режима считывания: по одному разряду последовательно во времени с выхода последнего триггера и параллельный — со всех выходов регистра одновременно. Регистры с последовательным способом записи и считывания называют последовательными. Последовательные регистры составляют основу ОЗУ с последовательным доступом, в которых выборку нужного элемента или

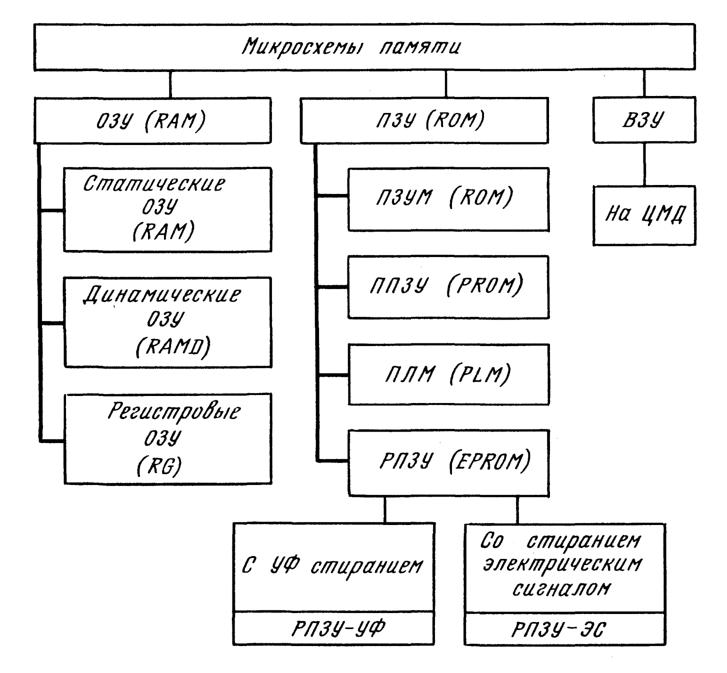


Рис. 1.4. Классификация микросхем памяти

ячейки памяти осуществляют последовательным перебором адресов в порядке их возрастания или убывания.

В обширной номенклатуре микросхем параллельных и последовательных регистров некоторая их часть содержит многорегистровые структуры, которые можно использовать для хранения одновременно нескольких слов. Возможности таких микросхем зависят от их структурного построения и способа адресации регистров. Некоторые допускают адресацию каждого регистра, другие работают по принципу «магазинного» ЗУ: заполняясь информацией по мере ее поступления и освобождаясь от нее в порядке ее поступления по правилу «первым вошел — первым вышел» или в обратном порядке: «первым вошел — последним вышел». Магазинные ЗУ с обратным порядком считывания часто называют стеком. Стековые регистровые ЗУ находят широкое применение в калькуляторах, в микропроцессорных контроллерах и в других вычислительных устройствах.

Рассмотренные разновидности полупроводниковых ОЗУ и ПЗУ систематизированы в классификационной диаграмме, приведенной на рис. 1.4. Здесь же указаны обозначения микросхем различных видов и типов, соответствующие ГОСТ 2.743—82, которые применяют на их условных графических изображениях [10].

В последние годы получило развитие направление создания микросхем ЗУ на цилиндрических магнитных доменах для внешних ЗУ. Это направление базируется на использовании физических явлений в тонких магнитных пленках, в частности на возможности образования в тонкой пленке ортоферрита микронных по размерам областей, имеющих противоположную с окружающей средой намагниченность. Эти области назвали цилиндрическими магнитными доменами (ЦМД). Тонкая пленка магнитного материала с размерами примерно 100×100 мм^2, выращенная на диэлектрической основе, может хранить несколько миллионов бит информации, причем для ее записи и считывания не нужны электромеханические устройства. Микросхемы ЗУ на ЦМД существенно отличаются от полупроводниковых микросхем памяти: они содержат внутри корпуса миниатюрные постоянные магниты, систему ортогональных катушек для создания электромагнитного поля на поверхности магнитной пленки. По конструктивно-технологическому исполнению их следует отнести к микросборкам. Типичные размеры микросборки $3 \times 3 \times 1$ см^3. От существующих ВЗУ на магнитных лентах и дисках ЗУ на ЦМД выгодно отличаются более высоким быстродействием и отсутствием электромеханических частей в конструкции.

Микросхемы памяти выпускают сериями. Серия представляет собой совокупность микросхем, имеющих единое конструктивно-технологическое исполнение, единые напряжения питания, эксплуатационные и надежностные показатели и отличающихся информационной емкостью, быстродействием и некоторыми другими характеристиками, например принадлежностью к типу статического или динамического ОЗУ.

В общем случае серия может включать микросхемы памяти разных видов, например ОЗУ и ППЗУ, но пока большинство серий имеют однородный видовой состав, т. е. включают либо микросхемы ОЗУ, либо ПЗУМ, либо ППЗУ, либо РПЗУ. Достаточно широко микросхемы памяти представлены и в составе многофункциональных серий наряду с микросхемами логическими, триггерами, кодопреобразователями, дешифраторами, счетчиками и др. Микросхемы ЗУ на ЦМД также выпускают сериями. Информацию о принадлежности микросхемы к той или другой серии содержит условное обозначение.

В соответствии с принятой системой (ОСТ 11 073.915—80) обозначение микросхемы содержит четыре обязательных элемента. Первый элемент — цифра, указывающая группу микросхемы по конструктивно-технологическому признаку: 1, 5, 6, 7 — полупроводниковые, 2, 4, 8 — гибридные, 3 — прочие (пленочные, пьезокерамические и т. д.). Второй элемент — две-три цифры, указывающие номер разработки данной серии. В сочетании указанные два элемента составляют номер серии, к которой принадлежит микросхема. Третий элемент — две буквы, обозна-

чающие функциональную подгруппу и вид микросхемы: РУ — оперативные ЗУ с управлением, РМ — матрицы ОЗУ; РЕ — масочные ПЗУ; РТ — программируемые ПЗУ; РР — репрограммируемое ПЗУ со стиранием информации электрическим сигналом; РФ — репрограммируемое ПЗУ со стиранием информации ультрафиолетовым светом; РЦ — ЗУ на ЦМД; ИР — регистры. Четвертый элемент — порядковый номер разработки микросхемы в серии среди микросхем одного вида. При необходимости в обозначение могут быть введены дополнительные буквенные индексы. Перед первым элементом для характеристики условий применения, материала и типа корпуса могут размещаться следующие буквы: К — общетехнического применения; Э — экспортное исполнение; Р — пластмассовый корпус типа 2 (см. § 1.3); М — керамический; металло- или стеклокерамический корпус типа 2; Е — металлополимерный корпус типа 2; А — пластмассовый корпус типа 4; И — стеклокерамический корпус типа 4; Н — керамический кристаллоноситель; Б — бескорпусное исполнение. После четвертого элемента может быть размещена дополнительная буква: А, Б, В и т. д., определяющая условия разбраковки микросхем по одному из функциональных параметров: быстродействию, потребляемому току и др. Примеры: КР565РУ6Б — микросхема общетехнического применения в пластмассовом корпусе, полупроводниковая, серия 565, ОЗУ, разработка 6, типономинал Б. КМ1609РР11 — микросхема общетехнического применения в металлокерамическом корпусе, полупроводниковая, серия 1609, репрограммируемое ПЗУ со стиранием электрическим сигналом, разработка 11. К573РФ6А — полупроводниковая микросхема общетехнического применения, серии 573, РПЗУ со стиранием ультрафиолетовым светом, разработка 6, типономинал А.

1.2. Микросхема памяти как функциональный узел

Для характеристики микросхем памяти каждого вида и типа как функциональных узлов электронной аппаратуры необходимо знать, прежде всего, режимы их работы, управляющие сигналы, способы сопряжения с другими узлами аппаратуры, систему электрических параметров, их описание и значения. Указанный круг сведений необходим для грамотного применения микросхем памяти в разработках электронных устройств различного назначения, а также для приобретения умения и навыков чтения функциональных и принципиальных схем устройств с памятью.

Рассмотрим микросхему памяти как «черный ящик», обратив основное внимание на назначение ее выводов, внешние характеристики и систему параметров для описания статического и динамического режимов. На рис. 1.5 — 1.7. приведены условные графические изображения микросхем памяти разных видов: ста-

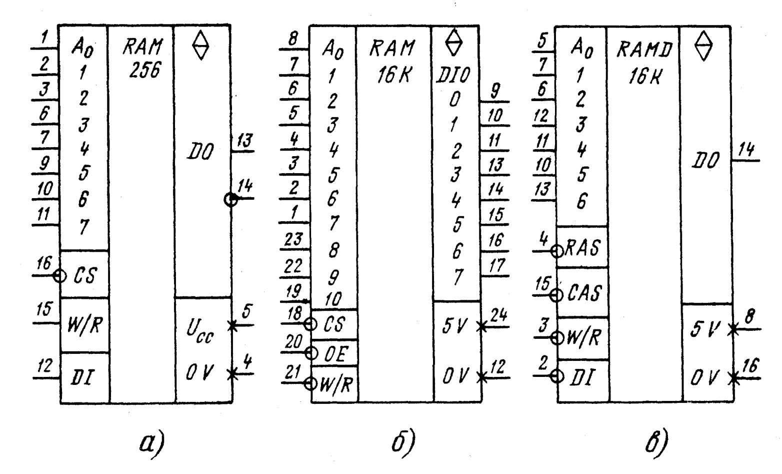


Рис. 1.5. Условные графические изображения микросхем ОЗУ:
а — статического с одноразрядной организацией 256×1 бит; *б* — статического со словарной организацией 2048×8 бит; *в* — динамического с одноразрядной организацией 16384×1 бит

тических и динамических ОЗУ, ПЗУМ, ППЗУ и РПЗУ. Нетрудно увидеть общее и отличия в системе выводов микросхем памяти разных видов.

Сигналы и соответствующие выводы микросхем можно подразделить на адресные, управляющие и информационные. Отдельную группу составляют выводы для подключения напряжений источников питания. Обозначения сигналов и выводов микросхем памяти, соответствующие ГОСТ 19480—74 [11], приведены в табл. 1.1. В книге использован вариант международных обо-

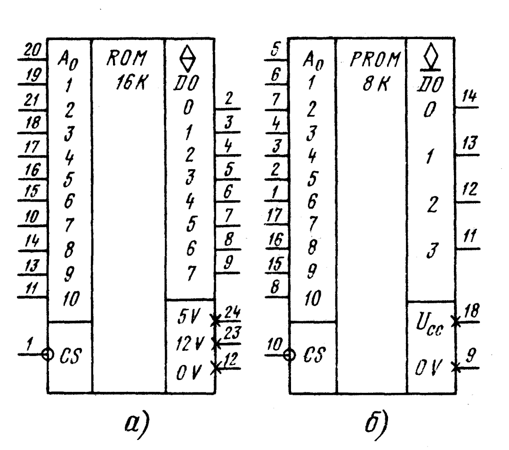


Рис. 1.6. Условные графические изображения микросхем ПЗУМ (*а*), ППЗУ (*б*)

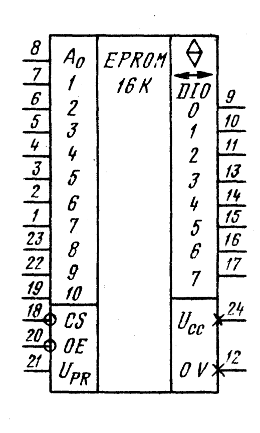


Рис. 1.7. Условное графическое изображение микросхемы РПЗУ

Таблица 1.1. **Обозначения сигналов (выводов) микросхем памяти**

Наименование сигнала	Обозначение	
	международное	отечественное
Адрес	A	а
Тактовый сигнал	C	Т
Строб адреса столбца	CAS	CAS
Строб адреса строки	RAS	RAS
Выбор микросхемы	CS	ВМ
Разрешение	CE	Р
Запись	WR	ЗП
Считывание	RD	СЧ
Запись-считывание	W/R	ЗП/СЧ
Разрешение записи	WE	—
Разрешение по выходу (считывания)	OE	—
Данные (информация)	D	—
Входные данные	DI	$U_{\text{вх. и}}$
Выходные данные	DO	$U_{\text{вых. и}}$
Адрес, данные: вход-выход	ADIO	—
Данные: вход-выход	DIO	$U_{\text{вх. и}}/U_{\text{вых. и}}$
Регенерация	REF	РЕГ
Программирование	PR	ПР
Стирание	ER	—
Напряжение питания	U_{cc}	$U_{\text{и. п}}$
Напряжение программирования	U_{PR}	$U_{\text{пр}}$
Общий вывод микросхемы	0V	Общ.

значений ввиду его широкого применения в справочной литературе и в нормативно-технической документации.

Обратимся к рис. 1.5, *а*, на котором представлено условное изображение микросхемы статического ОЗУ К561РУ2. Число адресных входов $A_0 — A_7$ (A_0 — младший разряд) позволяет определять информационную емкость микросхемы: $2^8=256$ бит.

Наличие одного информационного входа DI и одного выхода DO (прямого и инверсного) указывает на одноразрядную организацию микросхемы памяти: 256×1 бит.

Для управления режимом работы предусмотрены два сигнала: $\overline{CS}$ (ВМ — выбор микросхемы) и W/R (запись-считывание). Управляющий вход CS является инверсным. Сигнал $\overline{CS}$ разрешает или запрещает обращение к микросхеме по информационным входу и выходу. В соответствии с табл. 1.2 наличие на входе CS сигнала с уровнем логической 1 однозначно определяет режим хранения. При этом выход принимает высокоомное состояние, при котором он электрически отключен от приемника информации.

Таблица 1.2. **Таблица истинности К561РУ2**

$\overline{CS}$	W/R	$A_0 - A_7$	DI	DO	Режим работы
1	X	X	X	Z	Хранение
0	1	A	0	Z	Запись 0
0	1	A	0	Z	Запись 1
0	0	A	X	D,$\overline{D}$	Считывание

Примечание. X — произвольное состояние (0 или 1); Z — высокоомное состояние; D — данные.

Имея в виду, что обычно у микросхемы выход может находиться в одном из двух состояний, соответствующих логическим 0 и 1, указанное высокоомное состояние называют третьим. Выходное напряжение в третьем состоянии имеет уровень, равный приблизительно половине наибольшего значения выходного напряжения. Наличие у микросхемы выхода на три состояния указывают на правом поле ее условного изображения специальным знаком [10]:

— выход на три состояния;

— выход с открытым эмиттером ОЭ (*n-p-n* транзистора);

— выход с открытым коллектором ОК *n-p-n* транзистора, с открытым стоком ОС (МДП-транзистора с *n*-каналом).

У некоторых микросхем памяти выход имеет незавершенную структуру: отсутствует нагрузка в цепи эмиттера — выход с открытым эмиттером (ОЭ) или в цепи коллектора — выход с открытым коллектором (ОК), аналогично для МДП-транзистора: открытый исток или сток. Такие выходы могут принимать два состояния — функциональное и высокоомное. При включении микросхемы в схему обычно к ее выходам ОЭ или ОК подключают резистивную нагрузку.

Для обращения к микросхеме для записи или считывания одного бита информации D необходимо подать разрешающий обращение сигнал $\overline{CS}$ с нулевым уровнем и сигнал W/R с соответствующим режиму уровнем: при записи — 1, при считывании — 0. Из табл. 1.2 видно, что в любом режиме вход и выход развязаны, т. е. не могут влиять на состояние друг друга. Таким свойством обладают микросхемы с выходами на три состояния.

Учитывая отмеченную особенность, можно объединять вход и выход микросхемы и подключать их к общей информационной шине, по которой информация подается к микросхеме и выводится из нее.

Для построения ОЗУ на микросхемах с одноразрядной организацией необходимо объединить микросхемы с тем, чтобы обес-

Таблица 1.3. **Таблица истинности КР537РУ8**

$\overline{CS}$	$\overline{OE}$	$\overline{W}/R$	$A_0 - A_{10}$	$DIO_0 - DIO_7$	Режим работы
1	X	X	X	Z	Хранение
0	X	0	A	0	Запись 0
0	X	0	A	1	Запись 1
0	1	1	A	Z	Чтение без выдачи
0	0	1	A	$D_0 - D_7$	Считывание

Примечание. X — произвольное состояние.

печить возможность записи информации в ОЗУ, ее хранение и считывание в форме многоразрядного цифрового кода, т. е. слова. Подробно этот вопрос рассмотрен в гл. 3.

Очевидно, решение этой задачи существенно упрощается при использовании микросхем со словарной организацией. В обширной номенклатуре микросхем статических ОЗУ микросхемы со словарной организацией представлены ограниченным числом типов. Один из них — микросхема КР537РУ8 — приведен на рис. 1.5, *б*. Особенность микросхемы состоит в том, что она имеет организацию 2048×8 бит и, следовательно, допускает запись или считывание информации 8-разрядными словами (байтами). Причем входы и выходы совмещены и обладают свойством двунаправленной проводимости. Другая особенность приведенной микросхемы заключается в наличии сигнала $\overline{OE}$ разрешения по выходу, т. е. разрешения считывания при наличии сигнала $\overline{CS} = 0$.

Значения сигналов микросхемы, обеспечивающих ее работу в том или другом режиме, приведены в табл. 1.3.

Заметим, что сигнал OE не является обязательным для микросхем ОЗУ со словарной организацией: например, у микросхемы К132РУ8 с организацией 1К×4 бит этот сигнал отсутствует.

Микросхемы динамических ОЗУ, например микросхема К565РУ6 (рис. 1.5, *в*), имеют более сложное управление, чем микросхемы статических ОЗУ. Это обусловлено необходимостью организации принудительной регенерации хранимой микросхемой информации, осуществляемой с помощью специальных внешних устройств с интервалом, определяемым периодом регенерации. Для микросхем серии К565 этот период равен 2 мс. Микросхемы динамических ОЗУ в своем большинстве построены с мультиплексированием кода адреса: вначале в микросхему вводят код адреса строки $A_0 - A_6$, фиксируя его на входном регистре RG стробирующим сигналом $\overline{RAS}$, затем вводят код адреса столбца $A_7 - A_{13}$, фиксируя его на регистре стробирующим сигналом $\overline{CAS}$.

Число адресных выводов таким образом уменьшают вдвое: у микросхемы К565РУ6 с информационной емкостью 16К бит

Таблица 1.4. **Таблица истинности К565РУ6**

$\overline{RAS}$	$\overline{CAS}$	$\overline{W}/R$	A	DI	DO	Режим работы
1	1	X	X	X	Z	Хранение
1	0	X	X	X	Z	Хранение
0	1	X	A	X	Z	Регенерация
0	0	0	A	0	Z	Запись 0
0	0	0	A	1	Z	Запись 1
0	0	1	A	X	D	Считывание

их всего семь. Как следует из табл. 1.4, функции сигнала CS выполняет сигнал $\overline{RAS}$: для обращения к микросхеме необходим нулевой уровень этого сигнала.

В режиме регенерации микросхема работает по циклу «считывание-модификация-запись», находясь при этом в состоянии изоляции от информационных входа и выхода благодаря сигналу $\overline{CAS}=1$. Следовательно, адресованы оказываются только строки. Это говорит о том, что регенерация информации происходит во всех ЭП строки. Перебирая адреса строк, устройство регенерации обеспечивает восстановление информации во всей матрице накопителя. Время, необходимое для регенерации информации в микросхеме, определяют произведением числа строк на время одного цикла регенерации, которое является параметром. Например, время цикла регенерации составляет 0,5 мкс. Для регенерации всей информации необходимо 128 циклов, что составит 64 мкс. Если учесть, что период регенерации 2 мс, то нетрудно получить ту часть времени (в процентном отношении), в течение которого микросхема будет закрыта для обращения: это время составляет 3% общего времени работы микросхемы памяти.

Микросхемы ПЗУМ (рис. 1.6, *а*) и ППЗУ (рис. 1.6, *б*) программируют, т. е. заносят в них информацию предварительно, поэтому система сигналов соответствует возможности осуществления только двух режимов: хранения (невыбора) при $\overline{CS}=1$ и считывания информации по адресу при $\overline{CS}=0$.

Микросхемы ППЗУ программирует пользователь с помощью программатора, подавая на выходные выводы микросхемы импульсы напряжения определенной амплитуды и длительности. Процедуру программирования осуществляют до установки микросхемы на свое место на плате. Подробно этот вопрос рассмотрен в гл. 5. Выходы микросхемы КР556РТ15 (рис. 1.6, *б*) построены по схеме с открытым коллектором. Такие выходы могут принимать только два состояния — высокоомное и низкоомное с уровнем логического 0. При подключении к приемнику информации необ-

Таблица 1.5. **Таблица истинности КР558РР2**

$\overline{CS}$	$\overline{EO}$	$A_0 - A_{10}$	$DIO_0 - DIO_7$	U_{PR}	Режим работы
1	X	X	Z	U_{cc}^*	Хранение (невыбор)
1	0	X	0	18 В	Стирание
1	1	A	$D_0 - D_7$	18 В (импульс)	Программирование
0	0	A	$D_0 - D_7$	U_{cc}^*	Считывание

* U_{cc}=5 В.

ходимо предусматривать подключение к выходам микросхемы через резисторы источника напряжения питания.

Микросхемы РПЗУ со стиранием электрическим сигналом и ультрафиолетовым светом могут иметь одинаковую систему сигналов и назначение выводов (см. рис. 1.7). Однако такое сходство микросхем РПЗУ указанных типов не является типичным: у большинства микросхем есть различия.

Микросхемы РПЗУ допускают многократное (до 10 тыс. раз) перепрограммирование пользователем. Поэтому к режимам хранения и считывания у этих микросхем добавлен режим программирования. Этот режим выполняют в два этапа: вначале стирают прежнюю информацию, а затем заносят новую.

Микросхемы РПЗУ со стиранием электрическими сигналами, к которым относится микросхема КР558РР2 (рис. 1.7), позволяют выполнять операцию перепрограммирования, не снимая микросхему с печатной платы. Для стирания и программирования к выводам микросхемы необходимо подвести сигналы, указанные в табл. 1.5.

Характерной особенностью микросхем РПЗУ является наличие вывода для напряжения программирования. В режимах хранения и считывания это напряжение равно напряжению питания, а при стирании и программировании его увеличивают до 18 В на время до 1 с при стирании и на 10 мс при записи. Таким образом, время на цикл перепрограммирования требуется значительное.

Стирание информации у микросхем типа К573РФ2 (назначение выводов аналогично микросхеме КР558РР2, указанной на рис. 1.7) производят облучением кристалла микросхемы ультрафиолетовым светом через окно в крышке корпуса. Для этого микросхемы снимают с печатной платы и помещают в камеру с источником УФ излучения на время до 30 мин, после чего их можно программировать. Программирование осуществляют так же, как и микросхемы КР558РР2, с тем отличием, что здесь пре-

Таблица 1.6. **Таблица истинности К573РФ2**

$\overline{CS}$	$\overline{EO}$	$A_0 - A_{10}$	$DIO_0 - DIO_7$	U_{PR}	Режим работы
1	X	X	Z	U_{cc}	Хранение (невыбор)
1	1	A	$D_0 - D_7$	25 В	Программирование
0	0	A	$D_0 - D_7$	25 В	Контроль
0	0	A	$D_0 - D_7$	U_{cc}	Считывание

Примечание. U_{cc}=5 В, время стирания УФ 30 мин.

дусмотрен еще режим контроля информации после программирования.

Значения сигналов, необходимые для реализации режимов микросхемы К573РФ2, приведены в табл. 1.6.

Для микросхем с УФ стиранием присущ ряд особенностей, которые необходимо иметь в виду при их практическом применении: наличие окна в корпусе обусловливает чувствительность микросхемы к свету и возможность случайного стирания информации; другая особенность — число циклов перепрограммирования ограничено несколькими десятками, в то время как у микросхем со стиранием электрическими сигналами это число достигает 10 тыс.

Электрические параметры микросхем памяти разделяют на статические и динамические [11]. К числу статических параметров относят: напряжение питания $U_{пит}|U_{cc}|$, мощность потребления $P_{пот}$, напряжение и ток логического 0 входного (выходного) сигнала $U^0_{вх}$, $I^0_{вх}$, $U^0_{вых}$, $I^0_{вых}$, напряжение и ток логической 1 входного (выходного) сигнала $U^1_{вх}$, $I^1_{вх}$, $U^1_{вых}$, $I^1_{вых}$. Указанные параметры характеризуют возможность и степень обеспечения совместной работы микросхем памяти с микросхемами других видов и с функциональными узлами в составе аппаратуры. Для применения и эксплуатации микросхем памяти необходимо знать также предельные значения напряжений, токов и емкости нагрузки.

Динамические параметры характеризуют временны́е процессы в микросхемах памяти при записи, считывании, регенерации, программировании. В систему динамических параметров включают длительности сигналов и «пауз» между ними (длительность восстановления), взаимный сдвиг между сигналами во времени, который необходим для обеспечения устойчивой работы микросхем. Поскольку в управлении микросхемой задействовано несколько различных сигналов, перечень динамических (временны́х) параметров значителен и разнообразен, причем состав и число параметров существенно зависит от вида, а подчас и типа микросхемы: например, микросхема статического ОЗУ К561РУ2

имеет 8 временны́х параметров, а микросхема динамического ОЗУ К565РУ3 — 34 параметра.

Для характеристики динамики работы микросхем памяти широко используют временны́е диаграммы, которые определяют последовательность адресных и управляющих сигналов, их длительности и взаимный сдвиг. Динамические параметры для наглядности представления о них наносят на временны́е диаграммы.

Для примера обратимся к временным диаграммам (рис. 1.8) произвольно выбранных сигналов некоторого цифрового узла с памятью: сигналы A и $\overline{B}$ выполняют функции управляющих, а сигнал D является выходным, причем появляется он по разрешающему значению сигнала $\overline{B}=0$. С помощью приведенных диаграмм раскроем содержание и структуру временны́х параметров микросхем памяти. Все многообразие этих параметров можно систематизировать, объединив их в следующие группы:

а) параметры, характеризующие длительности сигналов и интервалов между сигналами, например сигнала A: τ_A, $\overline{\tau}_A$;

б) параметры, характеризующие взаимный сдвиг сигналов, например сигналов A и B:

$t_{ус.\,В.\,А}$ — время установления сигнала B относительно A;

$t_{у.\,В.\,А.}$ — время удержания сигнала B относительно A;

$t_{сх.\,А.\,В}$ — время сохранения сигнала A относительно B;

в) время цикла $t_ц$ — интервал времени между началами (окончаниями) сигналов на одном из управляющих входов, например A, в течение которого микросхема выполняет одну функцию, например запись $t_{ц.\,зп}$ или считывание $t_{ц.\,сч}$;

г) время выборки $t_в$ — интервал времени между подачей на вход микросхемы заданного сигнала, например A, и получением на выходе данных D: $t_{в.\,А}$; нередко в справочниках приводят несколько значений этого параметра, которые характеризуют задержку выходных сигналов относительно разных сигналов управления.

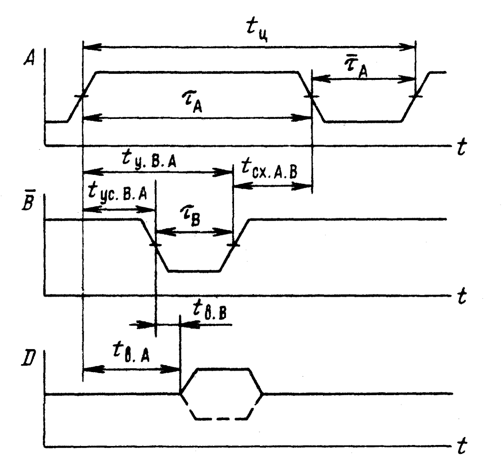


Рис. 1.8. Временны́е параметры микросхем памяти

Временны́е параметры указанных групп входят в перечень параметров всех микросхем памяти. В дополнение к ним для микросхем динамических ОЗУ введен параметр — период регенерации $T_{рег}$, определяющий максимальный интервал време-

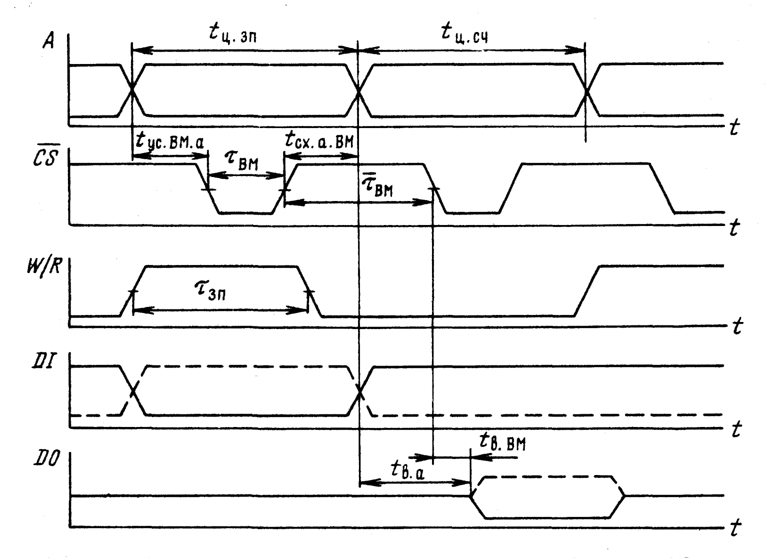


Рис. 1.9. Временны́е диаграммы микросхемы статического ОЗУ

ни между двумя обращениями по каждому адресу для восстановления хранимой информации.

Перейдем теперь к рассмотрению временны́х диаграмм реальных микросхем статического ОЗУ К561РУ2 (рис. 1.9) и динамического ОЗУ К565РУ6 (рис. 1.10). Диаграммы на рис. 1.9 описывают циклы записи (слева) и считывания информации. В режиме записи к выводам микросхемы вначале подводят сигналы кода адреса $A=\{A_0-A_7\}$, сигнал записи $W/R=\underline{1}$ и информа-

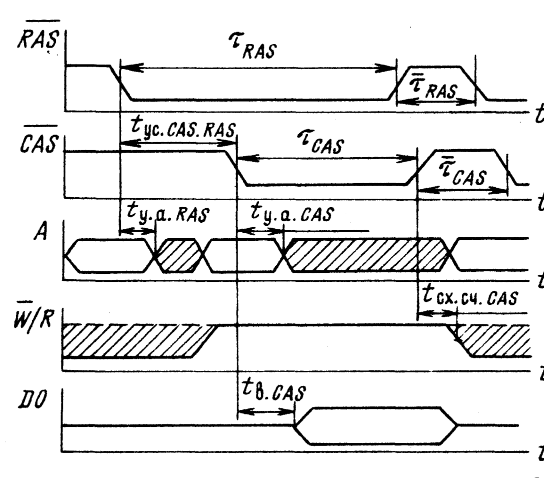


Рис. 1.10. Временны́е диаграммы микросхемы динамического ОЗУ в режиме считывания (заштрихованы области, где сигналы могут иметь любые значения: 0 или 1)

ционный сигнал D. Затем устанавливают сигнал $\overline{CS}$ с задержкой во времени $t_{ус. ВМ. а}$ относительно сигналов адреса.

Длительность сигнала $\overline{CS}$ определяют параметром $\tau_{ВМ}$. Кроме того, указывают длительность паузы $\bar{\tau}_{ВМ}$ в последовательности сигналов $\overline{CS}$, которую следует выдержать для восстановления потенциалов емкостных элементов схемы.

Сигналы адреса необходимо сохранить на время $t_{сх. а. ВМ}$ после снятия сигнала $\overline{CS}$. В течение всего цикла записи $t_{ц. зп}$ выход микросхемы находится в высокоомном (третьем) состоянии.

В цикле считывания порядок подачи сигналов тот же, что и при записи, но при условии $W/R=0$. Время появления сигнала на информационном выходе DO определяют параметрами $t_{в. ВМ}$ (время выбора) и $t_{в. а}$ (время выборки адреса), причем $t_{в. а}= t_{в. ВМ}+t_{ус. ВМ. а}$.

Микросхемы статических ОЗУ подразделяют по виду управляющих сигналов на асинхронные и тактируемые. Для тактируемых ОЗУ установлено требование подавать сигнал CS импульсом. Важным моментом в этом требовании является то, что переход микросхемы в активное состояние записи (считывания) происходит в момент поступления сигнала CS, т. е. по его положительному перепаду, если вход сигнала прямой, или отрицательному, если вход инверсный. Микросхема К561РУ2, временные диаграммы которой рассмотрены, относится к группе тактируемых. Асинхронные микросхемы допускают подачу управляющих сигналов уровнями или импульсами.

Временные диаграммы микросхем динамических ОЗУ имеют ряд существенных отличий от рассмотренных. Для примера на рис. 1.10 приведены временные диаграммы микросхемы К565РУ6 для режима считывания. Уже была отмечена характерная особенность микросхем динамических ОЗУ принимать код адреса двумя частями. В данном случае вначале вводят 7-разрядный код адреса строк $A_0—A_6$, сопровождая его сигналом $\overline{RAS}$, затем к этим же адресным входам подводят сигналы адреса столбцов $A_7—A_{13}$, сопровождая их сигналом $\overline{CAS}$. Параметром $t_{ус. CAS. RAS}$ устанавливают взаимный сдвиг по времени указанных сигналов.

Для обеспечения надежной записи сигналов адреса во внутренних регистрах необходимо удержать эти сигналы некоторое время относительно стробирующих сигналов $\overline{RAS}$ ($t_{у. а. RAS}$) и $\overline{CAS}$ ($t_{у. а. CAS}$).

Сигнал $\overline{W}/R=1$ при считывании следует подавать до сигнала $\overline{CAS}$ или одновременно с ним. При окончании считывания этот сигнал снимают спустя время $t_{сх. сч. CAS}$.

Время, необходимое для выполнения микросхемой функции считывания информации по заданному адресу с учетом длитель-

ности восстановления состояния внутренних цепей $\overline{\tau}_{RAS}$, определяет значение параметра $t_{ц. сч}$.

Сопоставляя временные диаграммы для микросхем статического ОЗУ и динамического ОЗУ, нетрудно видеть, что для описания только режима считывания у микросхем К565РУ6 требуется такое же число временных параметров, какого для микросхемы К561РУ2 достаточно для описания всех режимов работы. Следовательно, перечень временных параметров микросхем динамических ОЗУ значительно больше, а значит, сложнее реализация требований к схемным и конструктивным решениям узлов для формирования необходимых временных диаграмм сигналов управления.

1.3. Классификация микросхем памяти по схемно-технологическим признакам

Микросхемы памяти изготавливают методами полупроводниковой технологии, используя в качестве исходного материала кремний. Уже есть примеры микросхем памяти на других материалах, например на арсениде галлия, на аморфных полупроводниковых, на структурах «кремний на сапфире» и т. д. Однако в настоящее время кремний остается основным материалом.

Поскольку основным активным прибором цифровых устройств является транзистор, то общепринято при рассмотрении цифровых микросхем подразделять их на два класса по типу транзисторной структуры: биполярные микросхемы и МДП-микросхемы. Первые изготавливают по технологии биполярных транзисторов, вторые — МДП-транзисторов.

Из направлений МДП-технологии получили широкое развитие технологии — *р*-канальная (*р*-МДП), *n*-канальная (*n*-МДП) и КМДП, а из биполярных — технологии ЭСЛ, ТТЛ, ТТЛШ, ИИЛ.

Биполярные технологические методы изготовления цифровых микросхем классифицируют по схемотехническому признаку, а именно: по принципу реализации базовых логических элементов эмиттерно-связанной логики (ЭСЛ), транзисторно-транзисторной логики (ТТЛ) и ее современной разновидности — ТТЛ с приборами Шотки (ТТЛШ), интегральной инжекционной логики (ИИЛ). Такие названия технологических методов обусловлены тем, что указанные схемотехнические принципы положены в основу структур микросхем, в том числе и микросхем памяти. Это означает, что все микросхемы, принадлежащие одной серии, изготовлены по одной из указанных технологий и поэтому имеют много общего в свойствах.

Например, для микросхем ЭСЛ независимо от принадлежности к той или иной серии характерны такие свойства, как высокое быстродействие, повышенное энергопотребление, малый

Таблица 1.7. **Характеристика технологий микросхем**

Тип технологии	Серии микросхем	$U_{пит}$, В	$U^1_{вых}$, В	$U^0_{вых}$, В	$U_{помехи}$, В	$t_{зд. р. ср}$, нс	$P_{пот}$, мВт
ЭСЛ	К1500	−4,5	−1,03	−1,61	0,1	1,4	16
	К500	−5,2	−0,98	−1,63	0,1	2,9	34
ТТЛШ	К1531	5	2,7	0,5	0,5	3,8	2,1
	К531					5	16
	К1533					12	2,4
	К555					20	7,5
ТТЛ	К131	5	2,4	0,4	0,4	11	40
	К155					19	25
	К134					100	2
ИИЛ	К541	1,5	0,5	0,01	0,1	100...10	10^{-4}... ...10^{-3}
	К583						
	К584						
КМДП	К176	9	7,7	0,5	0,9	200	10^{-3}
	К561, 564	3...15	$U_{пит}$	0,01	2,5	160	10^{-5}
	К537	5					

логический перепад, отрицательная полярность напряжения питания. Эти свойства микросхем обусловлены тем, что в них применен принцип переключения транзисторов током и приняты меры к исключению режима насыщения транзисторов. Типичные значения параметров базовых логических элементов, изготовленных по разным технологиям, приведены в табл. 1.7. Заметим, что серии микросхем, которые в качестве примеров указаны в табл. 1.7, содержат в своем составе микросхемы памяти.

Технология ТТЛ и ТТЛШ позволяет получать микросхемы с широким диапазоном значений параметров, характеризующих быстродействие и энергопотребление микросхем. Технология ТТЛШ пришла на смену технологии ТТЛ, переняв у последней практически без изменений принципиальные схемотехнические решения реализуемых цифровых устройств, но при этом существенно повысила их быстродействие и снизила энергопотребление. Благодаря включению диодов Шотки в транзисторные структуры параллельно коллекторному переходу удалось существенно улучшить упомянутые показатели микросхем, построенных на основе прежних ТТЛ схемных решений. Наглядным тому доказательством являются результаты сравнения параметров базовых логических элементов ТТЛШ и ТТЛ, представленных в табл. 1.7: например, сопоставив параметры элементов ТТЛ серии К131 и ТТЛШ пришедшей ей на смену серии К1531, можно видеть

улучшение показателей последней в 4 раза по быстродействию и в 20 раз по энергопотреблению.

Отметим свойство совместимости микросхем ТТЛ и ТТЛШ независимо от быстродействия и принадлежности к той или другой серии по напряжению питания и значениям уровней напряжения логического 0 и логической 1.

Уровни микросхем ТТЛ в настоящее время фактически приняты во всем мире в качестве единых уровней для микросхем независимо от технологии их изготовления и принципа построения. Это означает, что микросхема, изготовленная, например по МДП-технологии, будет тем не менее иметь ТТЛ-уровни выходных напряжений 0 и 1, т. е. 0,4 и 2,4 В соответственно, и входных напряжений 0 и 1: 0,8 и 2 В соответственно.

Очевидно, унификация уровней напряжений на входах и выходах разнородных по технологии микросхем способствует существенному повышению эффективности применения микроэлектронной элементной базы в современной электронной аппаратуре.

Одним из перспективных направлений развития цифровых БИС является применение новых схемотехнических и технологических принципов формирования функциональных структур на базе элементов ИИЛ. Иначе такие элементы принято называть приборами с инжекционным питанием [17].

Микросхемы ИИЛ характеризуются низким энергопотреблением (менее 1 мкВт на логический элемент), требуют низковольтного источника питания, имеют малый логический перепад и низкую помехоустойчивость. Благодаря малой потребляемой мощности и отсутствию в схемах ИИЛ дополнительных резисторов и других компонентов удается реализовать высокую плотность размещения приборов в кристалле, т. е. высокий уровень интеграции.

Вместе с тем присущие элементам ИИЛ особенности не позволяют их использовать в обычном варианте конструктивного исполнения логических микросхем, поскольку требуются специальные меры по сопряжению с микросхемами других классов и по защите от помех. Поэтому основной областью применения технологии ИИЛ являются БИС микропроцессоров, БИС памяти и других сложных функциональных узлов. Такие БИС в основном состоят из схем ИИЛ, но по периферии кристалла содержат элементы ТТЛ или ТТЛШ. Следовательно, по внешним электрическим характеристикам БИС на элементах ИИЛ не отличаются от микросхем ТТЛ и ТТЛШ и могут применяться совместно.

Технология *р*-МДП давно и хорошо отработана, однако имеет существенные ограничения в отношении повышения быстродействия микросхем. Кроме того, изготовленные по этой технологии микросхемы требуют двух-трех источников питания. Поэтому на смену технологии *р*-МДП пришла более перспективная техноло-

гия *n*-МДП, в основе которой лежат конструктивно-технологические и схемотехнические решения на МДП-транзисторах с *n*-каналом. Технология *n*-МДП по быстродействию микросхем вышла на уровень технологии ТТЛШ и имеет перспективы дальнейшего совершенствования. При этом удалось существенно повысить уровень интеграции и свести число источников питания до одного, имеющего напряжение в большинстве реализаций 5 В. На основе технологии *n*-МДП выполнены серии К132, К565, К1809 и др. Такие микросхемы по входам и выходам совместимы с микросхемами ТТЛ и ТТЛШ, т. е. имеют ТТЛ входные и выходные уровни.

По технологии КМДП изготовливают микросхемы на комплементарных транзисторных структурах. Комплементарной парой называют два МДП-транзистора с каналами разного типа проводимости. В этом смысле они являются дополняющими друг друга. Отсюда и название таких структур. Если КМДП-транзисторы соединить последовательно по цепям сток-исток и подключить к источнику питания, то получим инвертор, входом которого являются соединенные затворы, а выходом будет точка соединения стоков двух транзисторов. В таком инверторе в статическом режиме один из транзисторов закрыт и поэтому ток потребления пренебрежительно мал. Этим свойством КМДП-инверторов обусловлено основное достоинство микросхем на их основе — малое энергопотребление (см. табл. 1.7).

Современная КМДП-технология позволяет изготавливать микросхемы с низкой чувствительностью к изменению напряжения питания в широком диапазоне значений, в частности, микросхемы КМДП многих серий сохраняют работоспособность при изменении напряжения питания от 3 до 15 В.

Одно из современных направлений развития технологии КМДП базируется на применении в качестве подложки изолирующего материала — сапфира. Такая технология получила название «кремний на сапфире» (КНС). На сапфировую подложку наращивают кремниевые КМДП-структуры и соединяют их по требуемой схеме, например, в устройство памяти. При использовании технологии КНС удается решить проблему уменьшения площади кристалла, необходимой для размещения транзисторов дополняющего типа. По технологии КМДП в кремниевой подложке с проводимостью *n*-типа для изготовления транзистора с *n*-каналом необходимо предварительно сформировать область *p*-типа, на что уходит дополнительная площадь кристалла, и, следовательно, снижается уровень интеграции микросхем. Кроме того, появляются паразитные емкости и гальванические связи внутри кристалла, что снижает быстродействие микросхем и может вызвать такие явления, как «тиристорный эффект».

По технологии КНС транзисторные структуры изолированы сапфиром, поэтому их можно разместить близко друг к другу,

так что потери площади кристалла и паразитные эффекты уменьшаются, а быстродействие увеличивается. Но в КНС-технологии существует достаточно много проблем с обеспечением стабильности и воспроизводимости характеристик элементов, с технологичностью изделий и т. п. Тем не менее она получает развитие как одна из перспективных технологий.

1.4. Микросхема памяти как конструктивный элемент

Микросхема памяти представляет собой полупроводниковый кристалл, заключенный в корпус, который защищает кристалл от воздействия внешней среды, обеспечивает необходимые электрические связи между кристаллом и внешними выводами, служит теплоотводом от кристалла. Корпус в значительной степени определяет надежность микросхемы, а также технологию ее монтажа на печатную плату.

Используемые в настоящее время корпуса микросхем имеют систему обозначений и габаритные размеры, соответствующие одному из двух стандартов: ГОСТ 17467—72 [13], если корпус разработан до 1979 г., и ГОСТ 17467—79 [12], если корпус разработан после 1979 г.

Корпуса микросхем по конструкции разделены на четыре типа по ГОСТ 17467—72 и на пять типов по ГОСТ 17467—79, четыре типа из которых аналогичны корпусам старого стандарта. Корпус первого типа — прямоугольный с выводами, перпендикулярными плоскости основания и расположенными в пределах проекции корпуса. Корпус второго типа отличается тем, что выводы выходят из боковых сторон и изогнуты перпендикулярно плоскости основания. Такие корпуса в литературе нередко называют DIP. Корпус третьего типа имеет круглую форму, он аналогичен корпусу транзистора, но имеет больше выводов. Корпус четвертого типа — прямоугольный с выводами, расположенными параллельно плоскости основания (планарные выводы). Корпус пятого типа — прямоугольный с выводами в виде контактных площадок.

Микросхемы памяти конструктивно оформлены преимущественно в корпуса двух типов: второго (рис. 1.11) и четвертого рис. 1.12. Каждый из указанных типов корпусов имеет два подтипа, отличающихся расположением выводов корпуса относительно основания: корпус подтипа 21 (рис. 1.11) имеет выводы по одному ряду из двух боковых сторон; корпус подтипа 22 имеет по два ряда выводов, расположенных в шахматном порядке; корпус подтипа 41 (рис. 1.12) имеет выводы по одному ряду из двух боковых сторон, а подтипа 42 — из четырех боковых сторон.

Информация о принадлежности корпуса к тому или другому типу и подтипу содержится в его условном обозначении. В соот-

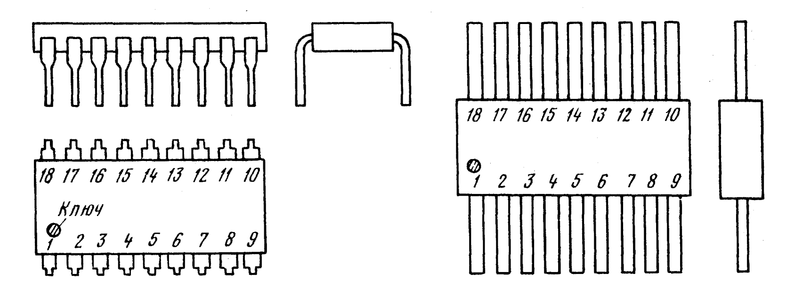


Рис. 1. 11. Корпус типа 2

Рис. 1.12. Корпус типа 4

ветствии с ГОСТ 17467—79 обозначение состоит из шифра типоразмера корпуса, включающего подтип корпуса и порядковый номер типоразмера, двух последующих цифр, указывающих на число выводов и номера модификации корпуса. Для корпусов, соответствующих старому стандарту, в обозначении отсутствует указание на подтип корпуса. Примеры: а) микросхема К537РУ2 (см. рис. 1.5, *а*) оформлена в корпус 2107.18-4 — это прямоугольный корпус типа 2, подтипа 21, типоразмера 07, имеет 18 выводов, относится к 4-й модификации корпусов этого типоразмера; б) микросхема К537РУ1 имеет корпус 402.16-8 — прямоугольный, типа 4 (с планарными выводами), типоразмера 02, с 16 выводами, 8-й модификации.

Установлены следующие размеры шага позиций выводов [12]: для корпусов типа 2 — 2,5 мм; для подтипа 22 — 1,25 мм и 2,5 мм; типа 4 — 1,25 и 0,625 мм. Нумерация выводов начинается от ключа (см. рис. 1.11, 1.12), который представляет собой либо отметку на корпусе, либо специфическую форму первого вывода.

Для обеспечения надежной работы микросхемы необходимо обеспечивать отвод тепла от кристалла через корпус в окружающую среду, чтобы температура элементов схемы не превышала определенного значения. По тепловому режиму любую микросхему характеризуют тремя факторами, которые необходимо знать при проведении тепловых расчетов: рассеиваемой мощностью, рабочими температурными пределами и тепловым сопротивлением корпуса. Внутреннее тепловое сопротивление зависит от размеров и материалов корпуса, но не зависит от внешних условий. Внешнее тепловое сопротивление зависит от площади поверхности корпуса и способа отвода тепла. Низкое тепловое сопротивление корпусов обеспечивает сравнительно невысокую температуру кристалла и высокую надежность функционирования микросхем.

По варианту исполнения в отношении используемых материалов корпуса подразделяют на следующие типы: металлостеклянные, металлокерамические, керамические и пластмассовые.

Указание на вариант исполнения микросхемы содержит ее условное кодовое обозначение (см. § 1.1).

Металлостеклянные корпуса состоят из стеклянного или металлического основания с изоляцией выводов стеклом и металлической крышки. Они рассчитаны на сравнительно невысокие уровни рассеиваемых мощностей, и поэтому их применяют в основном для конструктивного оформления микросхем малой степени интеграции.

Пластмассовые корпуса формируют в процессе запрессовки в пластмассу полупроводникового кристалла, предварительно смонтированного на металлической рамке с выводами. Внутри корпуса встраивают алюминиевую пластину, выполняющую роль теплового растекателя. При такой конструкции тепловое сопротивление корпуса снижается. Корпуса из пластмассы самые дешевые, но недостаточно стойкие к воздействию температурных перепадов и влаги. Обычно их используют для микросхем, предназначенных для применения в облегченных температурных и климатических условиях.

Металлокерамические корпуса состоят из керамического основания и металлической крышки. Все части керамических корпусов изготавливают из керамических материалов. Эти два типа корпуса имеют существенно более низкое тепловое сопротивление по сравнению с пластмассовыми. Поэтому они способны рассеивать значительные мощности (до нескольких ватт) и широко применяются для конструктивного оформления микросхем повышенного уровня интеграции, в том числе БИС памяти. Недостатком керамического корпуса является относительно высокая температура спайки (440° С) нижней и верхней частей корпуса стекловидной массой, что обусловливает возможность локальных повреждений окисных изоляционных слоев кристалла. Недостатком металлокерамического корпуса является более сложная технология изготовления, более дорогие материалы и, как следствие, его повышенная стоимость.

Промышленность выпускает, наряду с обычными, миниатюрные корпуса типа 2 с укороченными выводами, отформованными так, что монтаж микросхемы можно осуществлять непосредственно на контактные площадки платы. Площадь, занимаемая таким корпусом, в 8 раз меньше обычного DIP-корпуса. Получают все более широкое распространение кристаллоносители — корпуса с квадратной формой основания и выводами в форме контактных площадок по периметру корпуса.

Дальнейшее совершенствование корпусов связывают с созданием плоских конструкций из многослойной керамики с узкими выводами, безвыводных корпусов с матричным расположением контактных площадок и кристаллоносителей с шагом до 0,6 мм, а также корпусов с повышенной мощностью рассеяния (до 12 Вт) и большим числом выводов (300 и более).

Глава 2

МИКРОСХЕМЫ ОПЕРАТИВНЫХ ЗАПОМИНАЮЩИХ УСТРОЙСТВ

2.1. Микросхемы статических ОЗУ

Типичный вариант структурного построения микросхемы статического ОЗУ приведен на рис. 2.1. Для примера выбрана сравнительно несложная микросхема памяти К561РУ2 (564РУ2) с емкостью 256 бит. Условное графическое изображение микросхемы представлено на рис. 1.5, *а*. Структурная схема включает выполненные на едином кристалле кремния матрицу накопителя, дешифраторы кода адреса строк A_0 — A_3 (A_0 — младший разряд) и столбцов A_4 — A_7, ключи выбора столбцов и устройство ввода-вывода (УВВ). Режимом микросхемы управляют сигналы $\overline{CS}$ (Выбор микросхемы) и W/R (Запись-считывание).

Матрица накопителя содержит 256 ЭП, расположенных на пересечениях 16 строк и 16 столбцов. Каждый ЭП представляет собой статический триггер, который может быть реализован на основе биполярных или МДП-транзисторов. Это зависит от технологии изготовления микросхем. В данном случае микросхема

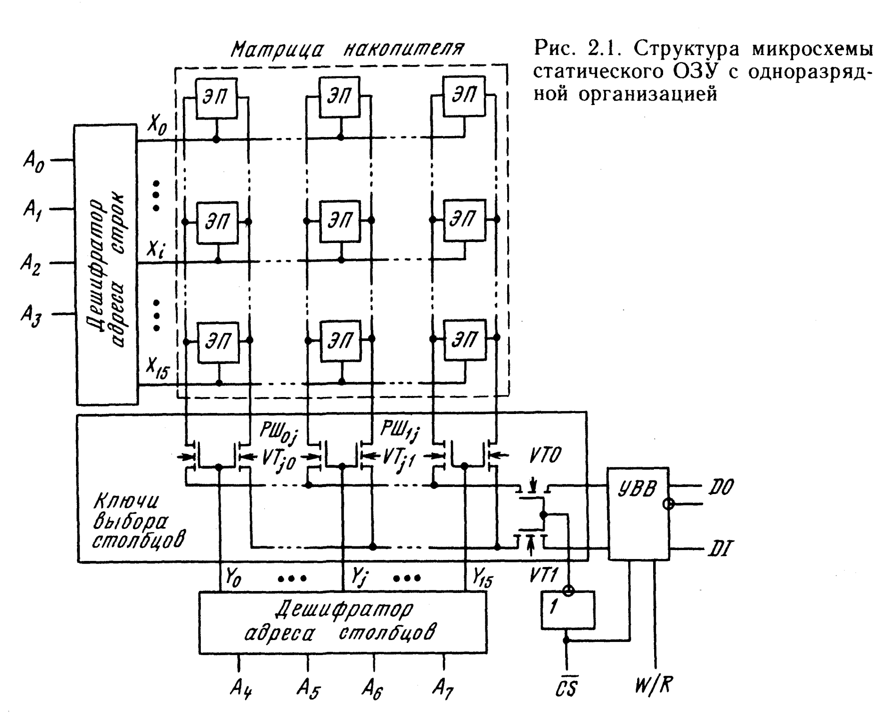


Рис. 2.1. Структура микросхемы статического ОЗУ с одноразрядной организацией

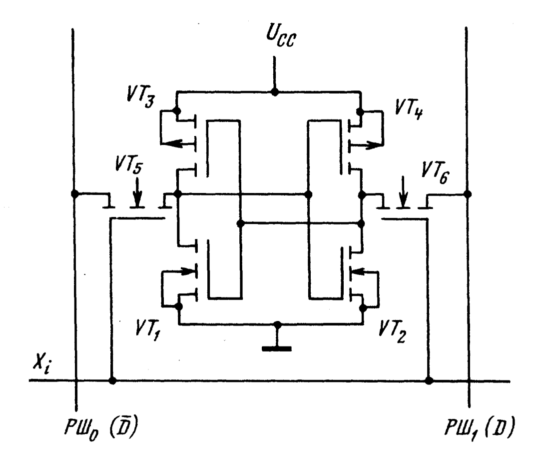


Рис. 2.2. Статический элемент памяти

К561РУ2 изготовлена по КМДП-технологии, поэтому ее основу составляет триггер (рис. 2.2) на МДП-транзисторах дополняющего (комплементарного) типа, имеющих каналы разного типа проводимости: VT1, VT2 — каналы *n*-типа, VT3, VT4 — каналы *p*-типа. У триггера два парафазных совмещенных входа-выхода. Ключевыми транзисторами VT5, VT6 триггер соединен с разрядными шинами $РШ_1$, $РШ_0$, по которым подводится к триггеру при записи и отводится от него при считывании информация в парафазной форме представления: $РШ_1 = D$, $РШ_0 = \overline{D}$. Ключевые транзисторы затворами соединены с адресной шиной (строкой). При возбуждении строки сигналом выборки $X = 1$, снимаемым с выхода дешифратора адреса строк, ключевые транзисторы открываются и подключают входы-выходы триггера к разрядным шинам. При отсутствии сигнала выборки строки, т. е. при $X = 0$, ключевые транзисторы закрыты и триггер изолирован от разрядных шин. Таким образом реализуют в матрице режим обращения к ЭП для записи или считывания информации и режим хранения информации.

Для сохранения информации в триггере необходим источник питания, т. е. триггер рассматриваемого типа является энергозависимым. При наличии питания триггер способен сохранять свое состояние сколь угодно долго. В одно из двух состояний, в которых может находиться триггер, его приводят сигналы, поступающие по разрядным шинам в режиме записи: при $D = 1$ ($РШ_1 = 1$, $РШ_0 = 0$) VT1, VT4,— открыты, VT2, VT3 — закрыты, при $D = 0$ ($РШ_1 = 0$, $РШ_0 = 1$) транзисторы свои состояния изменяют на обратные. В режиме считывания РШ находятся в высокоомном состоянии и принимают потенциалы плеч триггера, передавая их затем через устройство ввода-вывода на выход микро-

схемы DO, $\overline{\text{DO}}$. При этом хранящаяся в триггере информация не разрушается.

Особенность КМДП-триггеров заключается в том, что в режиме хранения они потребляют незначительную мощность от источника питания, поскольку в любом состоянии триггера в той или другой его половине один транзистор, верхний или нижний, закрыт. В режиме обращения, когда переключаются элементы матрицы, дешифраторы и другие функциональные узлы микросхемы, уровень ее энергопотребления возрастает на два-три порядка.

Для обращения к микросхеме для записи 0 или 1 следует подвести эту информацию ко входу DI, подать код адреса $A\{A_0 - A_7\}$, разрешающий сигнал $\overline{\text{CS}}$ и сигнал W/R, соответствующий режиму записи (см. табл. 1.2). При указанных сигналах возбуждается заданная строка X_i, выбранная дешифратором кода адреса строк, и в результате этого открывается доступ по разрядным шинам ко всем ЭП данной строки. Одновременно возбуждается один из выходов Y_j дешифратора кода адреса столбцов и, открывая соответствующие транзисторы VT_{j0}, VT_{j1} в блоке ключей выбора столбца, коммутирует выбранный столбец на УВВ. Доступ к разрядным шинам этого столбца со стороны УВВ обеспечивает сигнал CS = 1, открывающий ключи VT0 и VT1. Настройку УВВ на прием сигнала со входа DI осуществляет сигнал W/R = 1.

Обращение к микросхеме для считывания происходит аналогично, но при значении сигнала W/R = 0.

В большинстве микросхем памяти УВВ содержит выходной ключевой усилитель-формирователь, способный принимать три состояния: два функциональных, соответствующих 0 или 1, и одно высокоомное (третье) состояние. В третьем состоянии

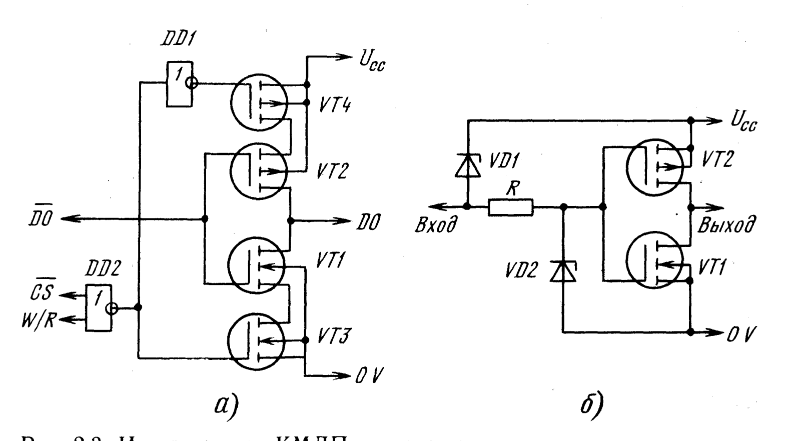


Рис. 2.3. Инверторы на КМДП-транзисторах:
а — с выходом на три состояния; *б* — с защитной цепью на входе

выход практически отключен от приемника информации, например информационной шины. Пример такого элемента приведен на рис. 2.3, *а*. Элемент представляет собой инвертор на транзисторах VT1, VT2, дополненный двумя ключевыми транзисторами VT3, VT4, обеспечивающими реализацию третьего состояния выхода. Состоянием ключей управляет сигнал V: при $V=0$ оба ключа закрыты и выход находится в высокоомном состоянии, при $V=1$ ключи открыты и схема выполняет свои функции инвертора, передавая на выход DO микросхемы информацию, считанную с выбранного ЭП. Сигнал V формирует внутренняя схема, придавая ему значение, определяемое сигналами CS и W/R: если рассмотренный выход реализован в микросхеме, работающей в соответствии с табл. 1.2, то $V=\overline{\overline{CS}+W/R}$. При наличии еще одного стробирующего выход сигнала $\overline{OE}=0$, как у микросхемы КР537РУ8, условие управления выходом запишется в виде: $V=\overline{\overline{CS}+W/R+\overline{OE}}$ или $V=CS\cdot\overline{W}/R\cdot OE$.

Наличие у микросхемы выхода на три состояния позволяет соединять информационные вход и выход для подключения их к единой информационной шине.

Работу микросхемы статического ОЗУ в динамическом режиме иллюстрирует временные диаграммы, представленные на рис. 1.9. Диаграммы определяют последовательность подачи адресных и управляющих сигналов при записи и считывании, а также временные интервалы между различными сигналами и длительности сигналов: время цикла записи-считывания ($t_{ц.\,зп\text{-}сч}$), длительность сигналов $\overline{CS}$ (выбора микросхемы) $\tau_{ВМ}$ и паузы между ними $\overline{\tau}_{ВМ}$, время установления сигнала $\overline{CS}$ относительно адреса $t_{ус.\,ВМ.\,а}$, время сохранения адреса после сигнала $\overline{CS}$ $t_{сх.\,а.\,ВМ}$, время выборки адреса $t_{в.\,а}$ или время выбора микросхемы $t_{в.\,ВМ}$ и др.

Следует обратить внимание на требование к форме сигналов управления $\overline{CS}$ и W/R. В § 1.2 отмечено, что у асинхронных статических ОЗУ эти сигналы могут быть поданы в форме уровней напряжения, соответствующих 0 или 1 в зависимости от режима, а у тактируемых — в форме импульса, причем требование импульсного представления относится обычно к сигналу $\overline{CS}$.

Микросхема К561РУ2, временные диаграммы которой приведены на рис. 1.9, относится к группе тактируемых. Этой же группе принадлежат микросхемы серии К537, ряд микросхем серии К132 и др. Многие микросхемы статических ОЗУ являются асинхронными. Для них значительная часть временных параметров, характеризующих длительности управляющих сигналов и их временные сдвиги, не регламентирована.

Надо учитывать также, при каком значении сигнала выполняется инициируемая им функция: например, запись информации

в микросхему К561РУ2 происходит при сигнале W/R=1 (см. рис. 1.9), а считывание — при W/R=0, для микросхемы серии К537 и других серий необходимы обратные значения сигнала W/R при выполнении этих же функций: $\overline{W}/R=0$ при записи, $\overline{W}/R=1$ при считывании. Указание на активное значение сигнала содержит его обозначение: если есть знак инверсии, то активным значением является 0, если нет, то 1.

Рассмотренная структурная схема (см. рис. 2.1) представляет собой пример реализации статических ОЗУ с одноразрядной организацией. Этот тип микросхем преобладает в современной номенклатуре микросхем памяти (табл. 2.1). Вместе с тем все более активное развитие получают микросхемы статических ОЗУ с многоразрядной словарной организацией. Принцип построения таких микросхем рассмотрим на примере микросхемы КР537РУ8, имеющей информационную емкость 2К×8 бит (рис. 2.4). Она включает матрицу накопителя с 128×128 ЭП, регистры и дешифраторы кода адреса строк и столбцов, усилители записи-

Таблица 2.1. **Характеристики серий микросхем статических ОЗУ**

Серия	Емкость, бит	$t_{ц.\,зп\,(сч)}$, нс	$U_{пит}$, В	$P_{пот}$, Вт	Выходные уровни	Технология
К500	16×4, 64×4	40	—5,2	0,6...1,1	ЭСЛ-ОЭ	ЭСЛ
	1К×1, 4К×1					
К1500	64×4, 1К×1	9...45	—4,5	0,6...1,1	ЭСЛ-ОЭ	ЭСЛ
	4К×1, 16К×1					
К541	4К×1, 1К×4	100...170	5	0,3...0,5	ТТЛ-3 **	ИИЛ-ТТЛ
	8К×1, 16К×1					
К132	1К×1, 1К×4	55...85	5	0,4...0,9*	ТТЛ-3	*n*-МДП
	4К×1, 16К×1					
	64К×1					
К1809РУ1	1К×16	400	5	0,4	ТТЛ-3	*n*-МДП
К537	1К×1, 4К×1	110...500	5	0,02...0,2*	ТТЛ-3	КМДП
	2К×8, 1К×4					
К134	1К×1	1000	5	0,6	ТТЛ-ОК	ИИЛ-ТТЛ
К185	64×1, 1К×1	300...500	5	0,4	ТТЛ-ОК	ИИЛ-ТТЛ
	256×1					
К581	2К×8, 4К×4	120...200	5	0,4*	ТТЛ-3	КМДП
К155	256×1, 1К×1	45...90	5	0,9	ТТЛ-ОК-3	ТТЛ-ЭСЛ
К561	256×1	800	6—12	0,15*	КМДП-3	КМДП
К176	256×1	900	9	0,02	КМДП-3	КМДП
К565	1К×1	450	5	0,4	ТТЛ-3	*n*-МДП

Примечание. Выходные уровни 1/0 ЭСЛ: —1,04 В/—1,6 В; ТТЛ: 2,4 В/0,4 В; КМДП: $U_{пит}$/0,01 В.

* В режиме хранения потребляемая мощность снижается в 1000 раз у микросхем серии К537, в 50 раз — у К561, в 3—5 раз — у К132, К581.

** Выход на три состояния.

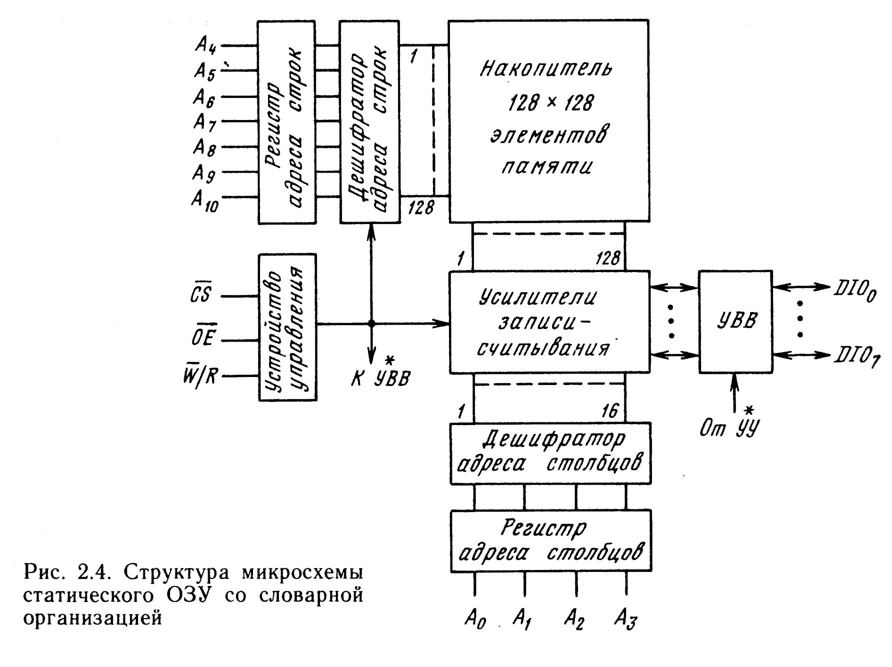


Рис. 2.4. Структура микросхемы статического ОЗУ со словарной организацией

считывания, устройство управления и устройство ввода-вывода. Условное изображение микросхемы приведено на рис. 1.5, *б*. В качестве ЭП применен триггер на КМДП-транзисторах (см. рис. 2.2).

Накопитель разбит на восемь секций по 128×16 ЭП в каждой. Четыре младших разряда кода адреса A_0 — A_3 выбирают по одному столбцу в каждой секции и коммутируют их с УВВ.

Управление устройством ввода-вывода осуществляют сигналы $\overline{CS}$, $\overline{OE}$ и $\overline{W}/R$, предварительно обработанные устройством управления. В соответствии с табл. 1.3 в зависимости от значений управляющих сигналов микросхема может работать в одном из трех режимов: записи, считывания и хранения. В режиме записи информация 8-разрядным кодом через УВВ и усилители записи-считывания поступает в выбранную ячейку памяти. При считывании информация из выбранной ячейки памяти поступает на УВВ и через него — на выходы. Сигнал разрешения выхода $\overline{OE}$ позволяет в режиме считывания запрещать вывод информации: при $\overline{OE}=1$ входы-выходы принимают третье (высокоомное) состояние, так что информация на выходах отсутствует.

В режиме хранения потребляемая микросхемами от источника питания мощность снижается более чем в 1000 раз.

Номенклатура отечественных микросхем статических ОЗУ достаточно представительна и разнообразна, чтобы удовлетво-

Таблица 2.2. **Динамические параметры микросхем серии К537 в диапазоне температур —10...+70° С, нс**

Тип микросхемы	$t_{ц. зп (сч)}$, не менее	$t_{в. ВМ}$, не более	$t_{ус. ВМ. а}$, не менее	$\tau_{ВМ}$, не менее	$\bar{\tau}_{ВМ}$, не менее	$t_{сх. а. ВМ}$, не менее
РУ1 А	1300	900	200	900	400	200
РУ1 Б	2000	1400	300	1400	600	300
РУ1 В	4000	2800	600	2800	1200	600
РУ2 А	500	390	20	390	110	90
РУ2 Б	670	560	20	560	—	90
РУ3 А	290	300	40	230	60	20
РУ3 Б	210	200	40	150	60	20
РУ6 А	340	220	20	220	120	100
РУ6 Б	530	400	20	400	130	110
РУ8 А	350	200	70	220	130	60
РУ8 Б	530	400	70	400	130	60
РУ9 А	400	220	20	220	180	160
РУ9 Б	580	400	20	400	180	160
РУ10	180	170	—	300	—	—
РУ13	200	200	—	—	—	—
РУ14 А	110	110	25	70	—	/25/*
РУ14 Б	180	180	35	130		/35/*

Примечание. Микросхемы КР537РУ13, К537РУ14 А, Б — асинхронные, остальные — тактируемые.

* Время сохранения адреса относительно сигнала записи ($t_{сх. а. зп}$).

рить широкий круг требований (табл. 2.1). Она включает серии наиболее быстродействующих микросхем памяти, выполненных по технологиям ЭСЛ (К500, К1500), *n*-МДП (К132), ТТЛ (К155), с временем цикла обращения от 9 до 90 нс, и серии КМДП-микросхем со сравнительно небольшим быстродействием $t_{ц. зп (сч)} = 100 ... 800$ нс, но существенно меньшим уровнем потребляемой мощности: К537, К581, К561, К176. Эта особенность КМДП-микросхем обусловливает их перспективность для применения в устройствах с существенно ограниченным энергоресурсом, а также для построения энергонезависимых ОЗУ.

Наиболее развитым функциональным составом из серий КМДП-микросхем обладает *серия К537*. Место этой серии среди других по отдельным характеристикам видно из табл. 2.1. Более подробные сведения о ней приведены в табл. 2.2. Функциональный ряд серии включает более 15 типов микросхем, отличающихся информационной емкостью (от 1024 до 16 384 бит), организацией (одноразрядная и байтовая), быстродействием (более чем в 5 раз), уровнем потребляемой мощности. Имеются отличия и в системе управляющих сигналов и в конструктивном оформлении (табл. 2.3). Назначение выводов корпусов микросхем серии К537 указано на рис. 2.5.

Таблица 2.3. **Корпуса микросхем серий К537, КР537**

Тип микросхемы	Емкость, бит	Тип корпуса	Размеры, мм	Назначение выводов
К537РУ1	1К×1	402.16-18	12×9,4	Рис. 2.5, *а*
КР537РУ2	4К×1	2107.18-4	23×10	Рис. 2.5, *б*
КР537РУ3	4К×1	2107.18-4	23×10	Рис. 2.5, *в*
КР537РУ6	4К×1	2107.18-4	23×10	Рис. 2.5, *б*
КР537РУ8	2К×8	239.24-2	31,5×15	Рис. 2.5, *г*
К537РУ9	2К×8	239.24-2	31,5×15	Рис. 2.5, *г*
КР537РУ10	2К×8	239.24-1	27,5×15	Рис. 2.5, *д*
КР537РУ13	1К×4	2107.18-1	22,5×10	Рис. 2.5, *ж*
К537РУ14	4К×1	427.18-2	13×12,5	Рис. 2.5, *е*

Общими свойствами микросхем серии К537 являются: единое напряжение питания 5 В, ТТЛ-уровни входных и выходных сигналов, выход с тремя состояниями, высокая помехоустойчивость, допустимая значительная емкость нагрузки (200 пФ и более), небольшое энергопотребление, причем при хранении почти на три порядка меньше, чем при обращении, способность сохранять записанную информацию при пониженном до 2...3 В напряжении питания.

Эту способность КМДП-микросхем всех серий широко используют для придания устройствам памяти свойства энергонезависимости, т. е. свойства сохранять информацию при сбоях и отключении питания. С этой целью в блоке статического ОЗУ к выводам питания микросхем через ключ, например полупроводниковый диод, подключают низковольтный буферный источник питания с напряжением 2 ... 3 В. При нормальном режиме питания диод закрыт, а при выключении основного питания диод открывается и подключает к микросхемам буферный источник напряжения. В это время следует обеспечить изоляцию накопителя по информационным цепям запрещающим значением уровня на входе CS, чтобы не повредить хранящуюся информацию. Для увеличения времени сохранения информации в аварийном режиме необходимо снижать ток потребления микросхем, повышать емкость низковольтных малогабаритных элементов питания и уменьшать ток их саморазряда. Например, расчетное время сохранения информации микросхемой КР537РУ3А при работе от гальванического элемента СЦ-32 (1,57 В, 110 мА·ч) с учетом саморазряда элемента составляет тысячи часов. Некоторые микросхемы статических ОЗУ зарубежного производства снабжены встроенными в корпус гальваническими элементами, как, например, микросхема МК48Z02 (информационная емкость 2К×8 бит) с двумя литиевыми элементами. В этой микросхеме на одном с ОЗУ полупроводниковом кристалле изготовлены устройство индикации уровня напряжения питания и устройство

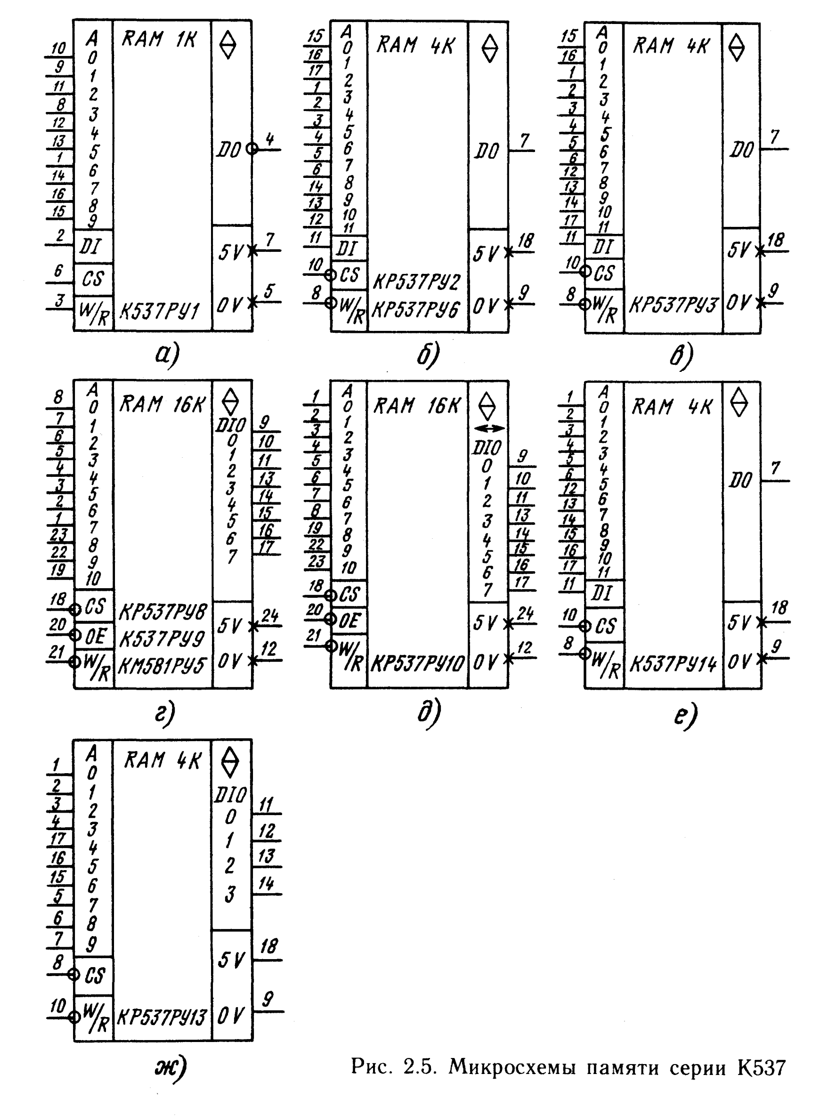


Рис. 2.5. Микросхемы памяти серии К537

переключения питания на резервное. Расчетное время сохранения информации в аварийном режиме составляет десятки лет. Известны разработки таких же микросхем памяти с емкостью 8К и 32К байт [20].

В устройствах памяти на микросхемах серии К537 для снижения потребляемой мощности следует предусмотреть возможность автоматического переключения питания микросхем в режиме хранения с основного источника 5 В на маломощный

буферный источник напряжения, который обеспечивает питание только микросхем ОЗУ на уровне, достаточном для сохранения информации. Для микросхем К537РУ1, КР537РУ8 допускается снижать напряжение до 3 В, для микросхем КР537РУ6, К537РУ9 — до 3,3 В, для микросхем КР537РУ4, КР537РУ13, К537РУ14 — до 2,2 В. Наименьшую мощность от низковольтного источника питания потребляют микросхемы КР537РУ3А (11 мкВт), КР537РУ6А (115 мкВт), К537РУ13 и К537РУ14 (100 мкВт).

Микросхемы на МДП-транзисторах любого типа чувствительны к воздействию статического электричества из-за высокого входного сопротивления. Даже кратковременное повышение входного напряжения с недопустимо высоким уровнем может вызвать электрический пробой тонкого слоя подзатворного диэлектрика. Для защиты от вредного воздействия перенапряжения все входы микросхем защищают диодно-резистивными цепями, встроенными внутрь кристалла (см. рис. 2.3, *б*). Защитные цепи построены по схеме последовательного соединения двух диодов VD1, VD2 и токоограничивающего резистора R. От воздействия высокого положительного потенциала на входе защищает диод VD1, который при открывании фиксирует входное напряжение на уровне напряжения питания. Высокий отрицательный потенциал открывает диод VD2, который ограничивает его безопасным для микросхемы уровнем.

Для многих типов КМДП-микросхем, и в частности для микросхем серии К537, существует опасность теплового пробоя *p-n* переходов в кристалле из-за «тиристорного эффекта».

Сущность этого явления заключается в том, что при повышении напряжения в шине питания до 11 ... 12 В из-за бросков тока при включении и влияния индуктивностей шин, а также при превышении входным сигналом напряжения питания внутри кристалла активизируются паразитные биполярные *p-n-p-n* структуры и из-за наличия положительной обратной связи по цепям токов утечки может появиться эффект неуправляемого нарастания тока стока, близкий по механизму к аналогичному явлению в тиристорах в момент их переключения. Поскольку в КМДП-структурах отсутствуют токоограничивающие резисторы нагрузки, то нарастание тока приводит к развитию теплового пробоя в кристалле и, как следствие, к неисправности микросхемы.

С повышением уровня интеграции микросхем опасность возникновения в них тиристорного эффекта увеличивается. В некоторых типах микросхем рассмотренный эффект практически не наблюдается, в частности в микросхемах серий К561, 564, в некоторых микросхемах серии К537, например КР537РУ6 и др. В структурах этих микросхем сформированы так называемые «охранные кольца», шунтирующие паразитные транзисторы и за

Таблица 2.4. **Таблица истинности КР537РУ1**

CS	W/R	A_0—A_9	DI	DO	Режим работы
0	X	X	X	Z	Хранение
1	1	A	0	1	Запись 0
1	1	A	1	0	Запись 1
1	0	A	X	$\overline{D}$	Считывание

Таблица 2.5. **Таблица истинности КР537РУ2 (РУ3, РУ6, РУ14)**

$\overline{CS}$	$\overline{W}/R$	A	DI	DO	Режим работы
1	X	X	X	Z	Хранение
0	0	A	1	Z	Запись 1
0	0	A	0	Z	Запись 0
0	1	A	X	D	Считывание

счет этого устраняющие тиристорный эффект. Для тех микросхем, у которых защита отсутствует, необходимо предусматривать конструктивные меры предупреждения тиристорного эффекта: снижать индуктивность шин питания, не допускать близкого расположения с сильноточными микросхемами и т. д. [16].

При применении микросхем памяти, изготовленных по КМДП-технологии, в частности микросхем серии К537, необходимо соблюдать порядок включения питания и подачи входных сигналов: вначале должно быть включено напряжение питания. При выключении блока ОЗУ следует снять входные сигналы (адресные, управляющие и информационные) и затем отключить источник напряжения питания. Необходимо обеспечить также выполнение условия, по которому напряжение сигналов не должно превышать напряжения питания микросхемы.

Микросхемы серии К537 работают в режимах записи, считывания и хранения. Значения сигналов в названных режимах указаны в табл. 2.4 для микросхемы К537РУ1, в табл. 2.5 для микросхем КР537РУ2, КР537РУ3, КР537РУ6, К537РУ14, в табл. 1.3 для микросхем КР537РУ8, К537РУ9, КР537РУ10 и в табл. 2.8 для микросхемы КР537РУ13.

Сравнение динамических параметров микросхем, представленных в табл. 2.2, показывает, что в серии К537 наибольшим быстродействием обладают микросхемы КР537РУ10 и К537РУ14. Микросхемы К537РУ14 и КР537РУ13 являются асинхронными. За этим исключением все микросхемы серии К537 являются тактируемыми: в режимах записи и считывания необходимо сигнал $\overline{CS}$ подавать импульсом, а сигнал $\overline{W}/R$ может иметь форму уровня напряжения или импульса, как показано на временных диаграммах на рис. 2.6.

В режиме считывания информация на выходе появляется спустя время $t_{в.\,вм}$ после отрицательного перепада сигнала $\overline{CS}$ (рис. 2.6, *б*). Время выборки адреса будет состоять из $t_{в.\,вм}$ и $t_{ус.\,вм.\,а}$, значения которых приведены в табл. 2.2.

Микросхемы КР537РУ8 и КР537РУ10 имеют дополнительный управляющий сигнал $\overline{OE}$ (Разрешение по выходу): при подаче этого сигнала одновременно с сигналом $\overline{CS}$ отсчет времени появления сигнала ведется от отрицательного перепада сигнала

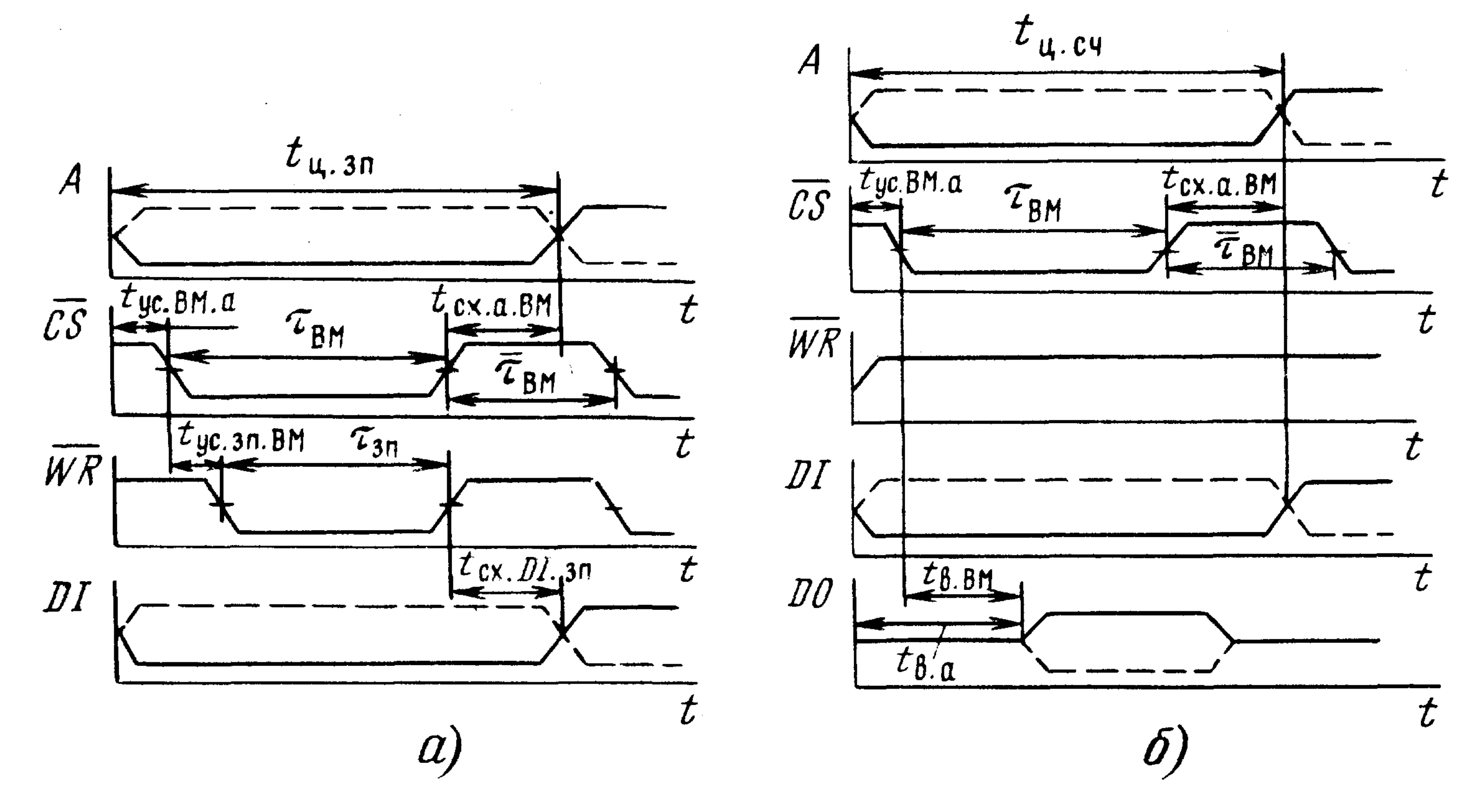


Рис. 2.6. Временные диаграммы микросхемы КР537РУ2 в режимах записи (*а*) и считывания (*б*)

$\overline{CS}=\overline{OE}$. Существует возможность стробирования выходной информации сигналом $\overline{OE}$, подаваемым с некоторой задержкой относительно сигнала $\overline{CS}$. В этом случае при $\overline{OE}=1$, т. е. до момента подачи этого сигнала, выходы находятся в третьем состоянии даже при $\overline{CS}=0$ (см. табл. 1.3). Только в момент поступления сигнала $\overline{OE}$ выходы переходят в функциональное состояние: спустя время $t_{в.\,OE}$ на выходах появится считываемая информация. В этом режиме время выборки адреса определяют соотношениями: $t_{в.\,а}=t_{ус.\,OE.\,а}+t_{в.\,OE}$ либо $t_{в.\,а}=t_{ус.\,ВМ.\,а}+t_{ус.\,OE.\,ВМ}+$ $+t_{в.\,OE}$. Заметим, что $t_{ус.\,OE.\,ВМ}$ не регламентируют, его значение устанавливают, исходя из условий работы микросхемы в составе устройства.

Микросхема КМ581РУ5 Б, В, Г также выполнена по КМДП-технологии. Она представляет собой статическое асинхронное ОЗУ емкостью 2К×8 бит. Конструктивно оформлена в корпусе 2120.24-11, назначение выводов идентично микросхемам КР537РУ8 и К537РУ9 (рис. 2.5, *г*). Таблица истинности соответствует табл. 1.3. Электрические характеристики микросхемы приведены в табл. 2.1. Следует добавить, что микросхема дифференцирована по группам Б, В, Г по значению временны́х параметров: время цикла записи (считывания) составляет 120 нс (Б), 150 нс (В), 200 нс (Г), т. е. микросхемы группы Б обладают наибольшим быстродействием. Выходной ток 4 мА. Выход построен по схеме с тремя состояниями.

Серия К132 состоит из микросхем статических ОЗУ высокого быстродействия: время цикла обращения для большинства микросхем лежит в диапазоне значений 55 ... 85 нс (табл. 2.1). Микросхемы выполнены по *n*-канальной МДП-технологии и отличаются разнообразием в отношении структурных и схемотехниче-

Таблица 2.6. **Динамические параметры микросхем серий К132, КР132, КМ132, нс (в диапазоне температур —10 ... +70° С)**

Тип микросхемы	$t_{ц.\ зп\ (сч)}$	$t_{в.\ а}$	$t_{сх.\ DI.\ зп}$	$\tau_{зп}$	$\tau_{ВМ}$	$t_{у.\ а.\ ВМ}$	$P_{пот}$, Вт
РУ2А	650	650	100	400	—	—	0,4
РУ2Б	950	950	100	400	—	—	0,44
РУ3А	75	75	10	55	—	—	0,66
РУ3Б	75	125	10	55	—	—	0,55
РУ4А	55	33	—	—	33	5	0,47
РУ4Б	100	70			70	5	0,47
РУ5А	85	85	10	55	70	—	0,9
РУ5Б	120	120	10	60	105	—	0,9
РУ6А	75 140*	45	10*	25	45 106*	25*	0,44**
РУ6Б	120 200*	70	10	40	70 146*	40	0,44
РУ8А	70	70	5	—	55	—	0,8
РУ8Б	120	120	5		55	—	0,8
РУ10	70	55	—	—	—	—	0,42

Примечание. Микросхемы КМ132РУ5А, Б; КР132РУ4А, Б; КР132РУ6А, Б — тактируемые, остальные — асинхронные.

* Значения параметров для режима «Считывание-модификация-запись»; кроме указанных, необходимо учитывать $t_{ус.\ зп.\ ВМ}=40$ (А), 55 (Б) нс.

** В режиме хранения при питании накопителя от $U_{CS}=5$ В (вывод 11) потребляемая мощность равна 11 мВт.

Таблица 2.7. **Корпуса микросхем серий К132, КР132, КМ132**

Тип микросхемы	Емкость, бит	Тип корпуса	Размеры, мм	Назначение выводов
К132РУ2	1К×1	402.16-18	12×9,4	Рис. 2.8, *а*
КР132РУ2	1К×1	2103.16-6	19,5×7,5	Рис. 2.8, *а*
К132РУ3	1К×1	201.16-8	19,2×7,5	Рис. 2.8, *б*
КР132РУ3	1К×1	2103.16-6	19,5×7,5	Рис. 2.8, *б*
КМ132РУ3	1К×1	4112.16-2	12,8×9,4	Рис. 2.8, *б*
КР132РУ4	1К×1	2103.16-2	20×7,5	Рис. 2.8, *б*
КМ132РУ5	4К×1	2104.18-1	22,2×7,5	Рис. 2.8, *в*
КР132РУ6	16К×1	2140.Ю.20-3	25×7,5	Рис. 2.8, *г*
КМ132РУ8	1К×4	2104.18-1	22,5×7,5	Рис. 2.8, *д*
К132РУ10	64К×1	—	—	—

ских решений, электрических параметров (табл. 2.6), конструкций корпуса (табл. 2.7, рис. 2.7).

Однако у микросхем серии К132 имеются ряд общих свойств, важных для их практического использования: единое напряжение питания 5 В, ТТЛ входные и выходные уровни напряжений 0 и 1: входные — соответственно не более 0,8 В, не менее 2 В, выходные — не более 0,4 В, не менее 2,4 В; наличие выходов с

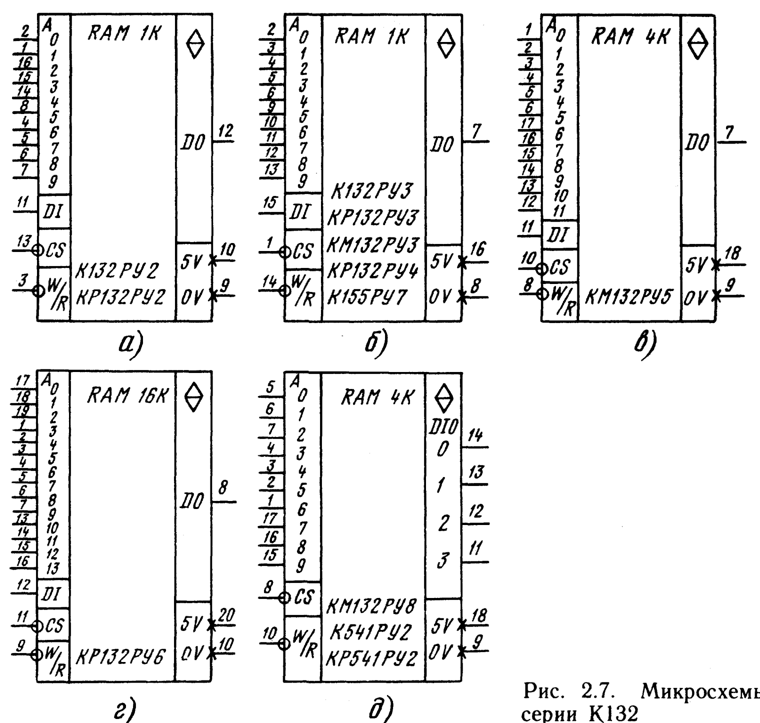


Рис. 2.7. Микросхемы памяти серии К132

тремя состояниями, единая система сигналов управления: $\overline{CS}$, $\overline{W}/R$; способность работать на большую емкостную нагрузку (от 100 до 600 пФ для разных типов микросхем), возможность снижения уровня энергопотребления при переходе в режим хранения в 3—5 раз, а у некоторых микросхем — до 20 раз.

По своей структуре микросхемы серии К132 близки к микросхемам рассмотренных серий К561, К537: они состоят из накопителя матричного типа, регистров и дешифраторов кода адреса, устройства ввода-вывода, блока ключей выбора строк и столбцов. В реализации названных элементов структурной схемы также имеется много общих решений. В частности, все входы — адресные, управляющие, информационные, имеют усилители, построенные по схеме (рис. 2.8, *а*) инвертора на двух транзисторах VT1, VT2 с защитой в виде резистивно-транзисторной цепи R, VT3. Охранный транзистор VT3 своим *p-n* переходом сток-подложка предохраняет вход транзистора VT1 от действия статического электричества и защищает от резких бросков напряжений на входах своей выходной емкостью, которая вместе с резистором образует интегрирующую цепочку.

Входные усилители-формирователи обладают высоким быст-

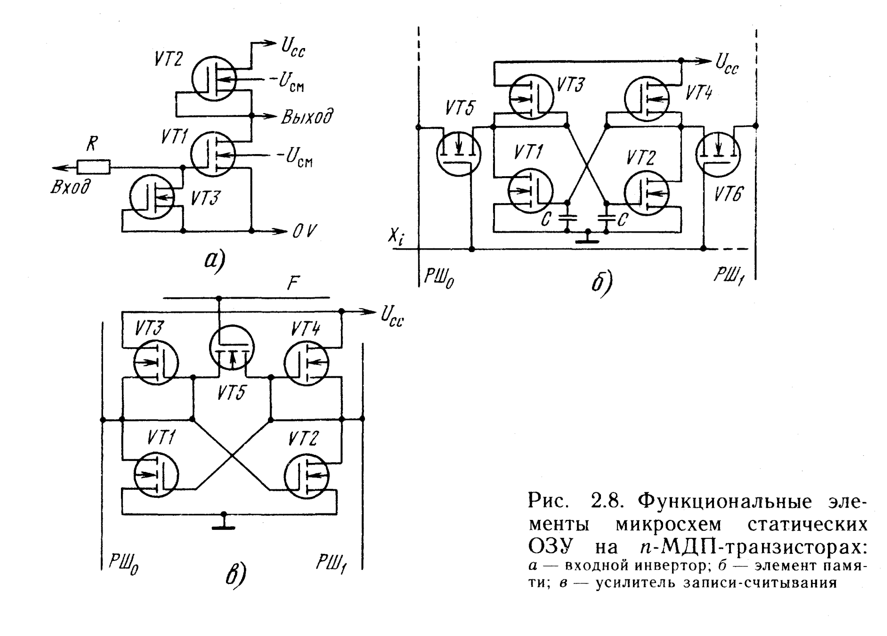


Рис. 2.8. Функциональные элементы микросхем статических ОЗУ на *n*-МДП-транзисторах: *а* — входной инвертор; *б* — элемент памяти; *в* — усилитель записи-считывания

родействием, которое обеспечено выбором режима работы транзистора VT2 и напряжением смещения подложки $U_{см} = -2{,}7$ В. Транзистор VT2, имеющий встроенный канал *n*-типа, нормально открыт и при выключении VT1 переходит в режим генератора тока, заряжая за короткое время выходную емкость. При включении VT1 емкость также быстро разряжается через низкоомный канал открытого транзистора VT1.

Напряжение отрицательного смещения *p*-подложки формирует встроенный в кристалл преобразователь из напряжения питания микросхемы 5 В. Это напряжение уменьшает порог включения транзисторов и снижает уровень токов утечки внутри кристалла.

В качестве ЭП применяют статический триггер (рис. 2.8, *б*) на четырех транзисторах VT1 — VT4 и двух ключевых транзисторах VT5, VT6, затворы которых соединены с адресной шиной, а стоки — с разрядными шинами. При $X_i = 1$ ключевые транзисторы открываются и подключают триггер к разрядным шинам. При записи разрядные шины передают свой потенциал узловым емкостям С и обеспечивают переключение триггера в состояние, соответствующее записываемой информации. Этот процесс описан при рассмотрении работы КМДП-триггера (см. рис. 2.2). Аналогично обращение к ЭП происходит и при считывании, только теперь свой потенциал передает триггер высокоомным разрядным шинам.

Отличительной особенностью структуры микросхем памяти

n-МДП-типа, в частности микросхем серии К132, является наличие в каждом столбце усилителя записи-считывания триггерного типа (рис. 2.8, *в*). Усилитель управляется внутренним сигналом F: при его поступлении транзистор VT5 открывается и уравнивает потенциалы двух входов-выходов триггера. В этом и заключается подготовка усилителя к приему информации. При считывании информации с выбранного ЭП на разрядных шинах $РШ_0$, $РШ_1$ создается асимметрия потенциалов, которая оказывает воздействие на состояние плеч усилителя, подключенного к этим разрядным шинам. В момент снятия сигнала F, когда транзистор VT5 закрывается, вносимая разрядными шинами асимметрия потенциалов определит состояние, в которое переключится триггер-усилитель. В результате слабый информационный сигнал, полученный с выхода ЭП, будет усилен и передан в устройство ввода-вывода. Усилитель составлен из транзисторов, отличающихся от транзисторов ЭП более высоким уровнем токов. Одновременно с усилением считываемого сигнала триггер-усилитель предотвращает возможность разрушения информации в выбранном ЭП, так как обеспечивает восстановление (регенерацию) заряда узловых емкостей триггера ЭП.

В некоторых микросхемах, например в КР132РУ6, К132РУ10 и др., ЭП выполнен на триггере, в котором вместо нагрузочных транзисторов сформированы высокоомные (до 10^9 Ом) резисторы. При такой технологии удается обеспечить более высокий уровень интеграции и, следовательно, увеличение информационной емкости микросхемы памяти. Кроме того, снижается потребляемая микросхемой мощность в режиме хранения.

Применение высокоомных резисторов в схеме триггера оказалось возможным благодаря усовершенствованию *n*-канальной технологии и снижению на этой основе паразитных токов утечки в структуре кристалла до значений пикоампер [19]. Выходные каскады микросхем построены по схеме инверторов с тремя состояниями, формирующими ТТЛ-уровни.

Микросхемы серии К132 работают в режимах записи, считывания и хранения. Таблицы истинности всех микросхем серии К132, кроме КМ132РУ8, соответствуют содержанию табл. 2.5. Таблица истинности микросхемы КМ132РУ8 (табл. 2.8) имеет отличия, обусловленные тем, что у этой микросхемы входы и вы-

Таблица 2.8. **Таблица истинности КМ132РУ8 и КР537РУ13**

$\overline{CS}$	$\overline{W}/R$	$A_0 - A_9$	$DIO_0 - DIO_3$	Режим работы
1	X	X	Z	Хранение
0	0	A	0	Запись 0
0	0	A	1	Запись 1
0	1	A	$D_0 - D_3$	Считывание

ходы совмещены. Микросхема КР132РУ6 имеет дополнительно к названным режим «Считывание-модификация-запись». Отличительные особенности этого режима проявляются в динамике работы микросхемы и видны на временны́х диаграммах. Эти особенности будут рассмотрены ниже.

При реализации названных режимов следует учитывать требования к форме представления сигналов управления: сигнала разрешения выбора микросхемы $\overline{CS}$ и сигнала режима обращения $\overline{W}/R$. По этому признаку, как уже отмечалось в § 1.2, микросхемы статических ОЗУ делят на асинхронные и тактируемые. Микросхемы КР132РУ4А, Б, КМ132РУ5А, Б и КР132РУ6А, Б являются тактируемыми (КМ132РУ5А, Б — только в режиме записи), остальные микросхемы этой серии — асинхронные. Временны́е диаграммы для тактируемых микросхем аналогичны диаграммам на рис. 2.6. Напомним, что при записи и считывании информации у тактируемых микросхем сигнал $\overline{CS}$ или $\overline{W}/R$ подается импульсом. При схемотехнической реализации временны́х диаграмм сигналов микросхемы необходимо руководствоваться значениями временны́х параметров, основные из которых приведены в табл. 2.6. У микросхем КР132РУ4 и КР132РУ6 адресные, управляющие и информационные сигналы фиксируются («защелкиваются») на входных усилителях-триггерах по отрицательному перепаду сигнала $\overline{CS}$. Поэтому для этих микросхем необходимо обеспечить требуемое время удержания названных сигналов относительно сигнала $\overline{CS}$ для их «захвата» входными триггерами. После фиксации сигналы могут принимать произвольные значения, например значения для следующего цикла обращения.

У микросхем асинхронных ОЗУ сигналы $\overline{CS}$ и $\overline{W}/R$ можно подавать уровнем 0 или 1. В таком случае временны́е процессы в микросхеме определяют адресные сигналы. В асинхронных микросхемах управляющие сигналы можно подавать и импульсами. Тогда надо принимать во внимание требования к их минимальной длительности (табл. 2.6).

Режим «Считывание-модификация-запись» совмещает в себе два режима и обеспечивает считывание информации из выбранного ЭП и запись в этот же ЭП новой информации в одном цикле (рис. 2.9). Время цикла обращения к микросхеме в том режиме больше (см. табл. 2.6 для КР132РУ6). Увеличивается и число учитываемых временны́х параметров.

Для обеспечения максимального быстродействия микросхем необходимо адресные сигналы и сигналы управления формировать с длительностью фронта 2 нс.

В режиме хранения у многих микросхем серии К132 наблюдается снижение в 3—5 раз тока потребления. У микросхем К132РУ6 и КМ132РУ8 возможно многократное (более чем в 10 раз) снижение потребляемой мощности за счет выключения на-

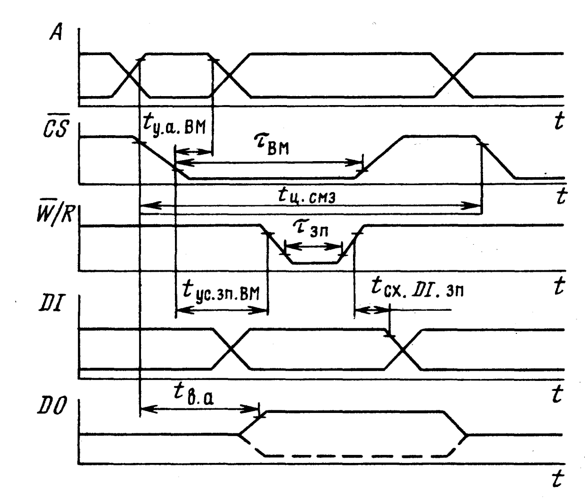


Рис. 2.9. Временные диаграммы микросхемы статического ОЗУ в режиме «Считывание-модификация-запись»

пряжения питания, но сохранения его уровня 5 В на выводе CS. В этом режиме через вход CS осуществляется питание только накопителя и формирователя напряжения смещения подложки, остальные функциональные узлы микросхемы находятся в выключенном состоянии.

Большая интегральная схема К1809РУ1 представляет собой статическое ОЗУ емкостью 1К×16 бит. Особенность микросхемы состоит в том, что она имеет встроенный интерфейс, т. е. функциональные узлы, которые обеспечивают режим обмена со стандартной магистралью микроЭВМ «Электроника-60». Благодаря наличию встроенного интерфейса микросхему можно непосредственно подключать к магистрали [21].

Структурная схема включает накопитель, дешифраторы адреса строк и столбцов, схему управления (контроллер), обеспечивающую ввод и вывод кода адреса, данных, сигналов управления. Кроме того, в структуру включен блок задания адреса микросхемы, который представляет собой программируемое устройство для дешифрирования 5-разрядного кода выбора микросхемы. Этот блок состоит из регистра и схемы сравнения. Предварительно в регистр заносится адрес микросхемы. При работе в блоке происходит сравнение принятого кода адреса с записанным в регистр, и при совпадении на выходе вырабатывается сигнал разрешения записи данных в микросхему. В случае несовпадения данные, пришедшие с «чужим» адресом, записаны быть не могут. Наличие встроенного блока задания адреса позволяет формировать модуль ОЗУ из 32 микросхем без внешнего устройства выбора микросхемы.

Более подробно устройство и возможности этой БИС изложены в § 3.1.

Серии К155, К134, К541, К185, К500, К1500 и др. содержат микросхемы, изготовленные методами биполярной технологии. Среди этих методов наиболее широко применяются методы ТТЛ-технологии, сейчас в основном ТТЛШ (серии К531, К1531, К1533 и др.), ЭСЛ-технологии (серии К500, К1500), технологии ИИЛ в сочетании с ТТЛ (К185, К134, К541 и др.), ТТЛ с ЭСЛ (К155) и т. д. Названные технологии отличаются схемотехническими решениями, принятыми для микросхем статических ОЗУ. Объединяет эти технологии то, что основным активным компонентом схем является биполярный транзистор и, следовательно, в основе лежит технология изготовления биполярных структур с различными физико-техническими свойствами: классических *n-p-n* или *p-n-p* транзисторов, транзисторов с включением диодов Шотки параллельно коллекторному переходу (транзисторов Шотки), тиристоров, транзисторов с инжекционным питанием и т. д.

Серия К541 имеет в своем составе микросхемы статических ОЗУ емкостью 4К×1, 8К×1, 16К×1, 1К×4 асинхронного типа среднего быстродействия (табл. 2.1). Микросхемы серии имеют напряжение питания 5 В, ТТЛ входные и выходные уровни, выход на три состояния, характеризуются сравнительно высоким уровнем энергопотребления, по сравнению с микросхемами серии К132, причем не обладают свойством снижать уровень потребляемой мощности в режиме хранения.

Структура микросхем содержит все функциональные узлы ти-

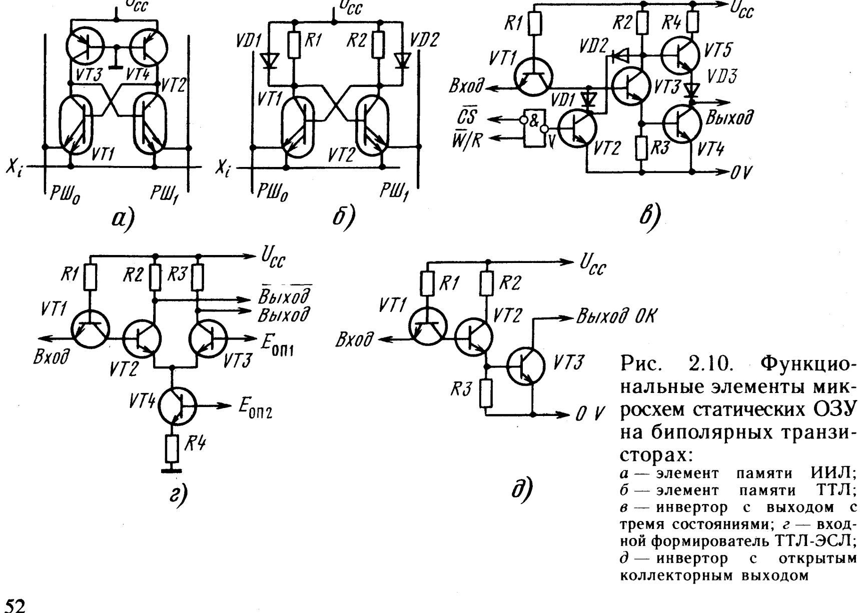


Рис. 2.10. Функциональные элементы микросхем статических ОЗУ на биполярных транзисторах:
а — элемент памяти ИИЛ; *б* — элемент памяти ТТЛ; *в* — инвертор с выходом с тремя состояниями; *г* — входной формирователь ТТЛ-ЭСЛ; *д* — инвертор с открытым коллекторным выходом

пичного варианта ее построения (рис. 2.10). В качестве элемента памяти использован статический триггер на четырех транзисторах, два из которых, VT3 и VT4, являются инжекторами транзисторов VT2 и VT1 соответственно. Двухэмиттерными транзисторами управляют сигналы адресной шины X_i и разрядных шин $РШ_0$, $РШ_1$. При $X_i=0$ триггер находится в режиме хранения, так как при этом фиксируется состояние плеч триггера. При $X_i=1$ оба эмиттерных перехода, подключенных к адресной шине, закрываются и состояние триггера зависит от потенциалов разрядных шин: при низком потенциале шин в режиме считывания в одну из них потечет ток, а именно в ту, со стороны которой транзистор открыт; в другой тока не будет.

При записи по шинам в форме парафазного сигнала $РШ_1=D$, $РШ_0=\overline{D}$ к плечам триггера подводится информация. Асимметрия в потенциалах шин вызовет переключение триггера в состояние, определяемое потенциалами шин: например, при $РШ_1=0$, $РШ_0=1$ (запись 0) откроется VT2, через него в шину потечет ток инжектора VT4, а транзистор VT1 закроется. При записи 1 состояния транзисторов изменятся на обратные.

Выходные и входные цепи выполнены на элементах ТТЛ, поскольку низкопороговые функциональные узлы ИИЛ имеют низкую помехоустойчивость и, кроме того, не согласованы по уровням напряжения с элементами других типов логики. Вариант выходного каскада с тремя состояниями (рис. 2.10, *в*) выполнен по схеме ТТЛ сложного инвертора с дополнительными элементами VD1, VD2, VT2, необходимыми для обеспечения третьего состояния выхода. Управляющий сигнал V зависит от внешних сигналов CS и W/R, воздействуя на вход транзистора VT2, закрывает его при $V=0$ или открывает при $V=1$. В третьем состоянии выход находится при $V=1$, когда открытый транзистор VT2 шунтирует входы и закрывает транзисторы VT5 и VT3, а значит, и VT4.

Микросхемы серии К541 работают в режимах хранения, записи и считывания. Условия реализации этих режимов представлены в табл. 2.5. В соответствии с условием режима считывания: $\overline{CS}=0$, $\overline{W}/R=1$, управляющий сигнал должен быть сформирован, исходя из соотношения: $V=\overline{\overline{CS}\cdot\overline{W}/R}$ или $\overline{CS}+W/R$.

По аналогичной схеме, но без VD1, VD2, VT2 построены и входные усилители-формирователи. Для повышения быстродействия входные усилители выполняют и по схеме ТТЛ-ЭСЛ (рис. 2.10, *г*). Преимущество этой схемы заключается в том, что она в максимальной степени реализует быстродействие транзисторов, что, вообще, присуще ЭСЛ-схемотехнике, за счет ограничения их насыщения и переключения током эмиттера, не зависящим от входного воздействия.

Микросхемы серии К541 относятся к группе асинхронных: сигналы $\overline{CS}$ и $\overline{W}/R$ можно подавать как уровнем, так и импуль-

Таблица 2.9. **Параметры микросхем серий К541, КР541 при 25° С, нс**

Тип микросхемы	Емкость, бит	$t_{ц.зп(сч)}$, не более	$t_{в.а}$, не более	$t_{ус.зп.а}$, не менее	$t_{сх.а.зп}$, не более	$\tau_{зп}$, не более	$t_{у.ВМ.зп}$, не более
РУ1	4К×1	155	120	45	50	60	90
РУ1А	4К×1	130	70	30	50	50	90
РУ2	1К×4	140	120	50	30	60	60*
РУ2А	1К×4	140	90	50	30	60	60
РУ3	16К×1	170	150	60	50	60	90
РУ3А	16К×1	150	100	60	30	60	90
РУ31 [1]	8К×1	170	150	60	50	60	90
РУ31А [1]	8К×1	150	100	60	30	60	90

[1] Данные распространяются на К541РУ31 — К541РУ34 и К541РУ31А — К541РУ34А.
* Указано значение $t_{у.ВМ.DI}$.

Таблица 2.10. **Корпуса микросхем серий К541, КР541**

Тип микросхемы	Тип корпуса	Габаритные размеры, мм	Назначение выводов	Примечание
К541РУ1	427.18-1	12,5×12	Рис. 2.11, *а*	
КР541РУ1	2107.18-1	22,5×10	Рис. 2.11, *а*	
К541РУ2	427.18-1	12,5×12	Рис. 2.8, *д*	
КР541РУ2	2107.18-1	22,5×10	Рис. 2.8, *д*	
К541РУ3	405.24-2	19,5×12	Рис. 2.11, *б*	
К541РУ31	405.24-2	19,5×12	Рис. 2.11, *б*	$A_{12}=0:8=12$**
К541РУ32	405.24-2	19,5×12	Рис. 2.11, *б*	$A_{12}=1:8=24$
К541РУ33	405.24-2	19,5×12	Рис. 2.11, *б*	$A_{13}=0:9=12$
К541РУ34	405.24-2	19,5×12	Рис. 2.11, *б*	$A_{13}=1:9=24$
КР541РУ3	2118.20-1	25×15	Рис. 2.11, *в*	
КР541РУ31	2118.20-1	25×15	Рис. 2.11, *в*	$A_{12}=0:7=10$
КР541РУ32	2118.20-1	25×15	Рис. 2.11, *в*	$A_{12}=1:7=20$
КР541РУ33	2118.20-1	25×15	Рис. 2.11, *в*	$A_{13}=0:8=10$
КР541РУ34	2118.20-1	25×15	Рис. 2.11, *в*	$A_{13}=1:8=20$

* Для корпусов типа 4 размеры указаны без учета выводов.
** Означает соединение выводов корпуса 8 и 12.

сом. Параметры микросхем представлены в табл. 2.9, а данные о конструктивном оформлении — в табл. 2.10 и на рис. 2.11.

Микросхемы ОЗУ серий К134, К155, К185 имеют много общего с рассмотренными. Все они относятся к типу асинхронных статических ОЗУ, поэтому достаточно просты в применении. Основные характеристики этих микросхем приведены в табл. 2.1. Обратим внимание лишь на некоторые особенности, знание которых необходимо для практики.

Микросхема К155РУ7 емкостью 1К×1 бит, асинхронная, обладает повышенным быстродействием: ее время цикла обраще-

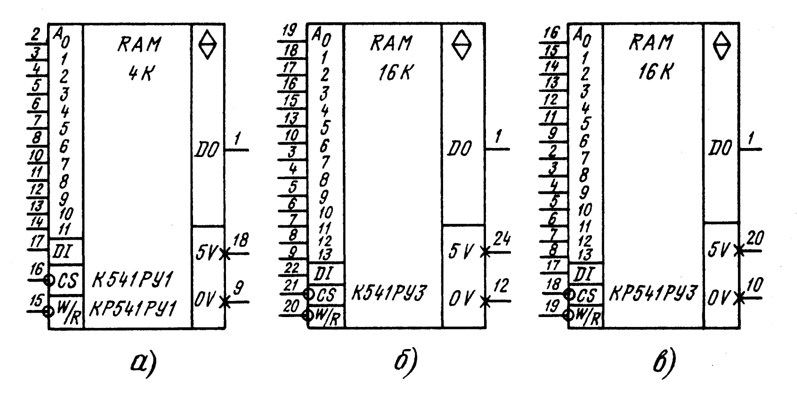


Рис. 2.11. Микросхемы памяти серии К541

ния равно 45 нс. Это достигнуто применением в структуре микросхемы элементов ТТЛ и ЭСЛ, в частности, элементом памяти является статический триггер на двухэмиттерных транзисторах (рис. 2.10, *б*) с нелинейной нагрузкой, а входные и выходные каскады выполнены по совмещенной схемотехнике, как показано на рис. 2.10, *г*. Таблица истинности, динамика работы этой микросхемы аналогичны микросхемам серии К541. Конструктивное выполнение — пластмассовый корпус 238.16-2, назначение выводов по рис. 2.8, *б*.

Микросхема К134РУ6 емкостью 1К×1 бит получена по ИИЛ-ТТЛ-технологии. Ее особенность заключается в том, что выход построен по схеме с открытым коллектором ОК (рис. 2.10, *д*). Наличие такого выхода не позволяет объединять информационные входы и выходы. При соединении нескольких микросхем по выходам можно использовать схему «монтажного ИЛИ» с подключением к точке соединения источника питания через внешний токоограничивающий резистор. Для расчета его сопротивления необходимо учитывать прежде всего значение выходного тока в состоянии логического 0, равное 16 мА. Характеристики микросхем приведены в табл. 2.1. При хранении потребляемая мощность снижается вдвое.

У *микросхемы К185РУ5* емкостью 1К×1 бит те же особенности, что и у К134РУ6, но она более быстродействующая. В динамике работы при обращении в момент воздействия сигнала $\overline{CS}$ на выходе возможны помехи длительностью не более чем время выбора: $t_{в.ВМ}$. Серия развивается, о чем свидетельствуют микросхемы К185РУ10 емкостью 16К×1 бит с временем цикла 50 нс.

Микросхемы серий К500, К1500 обладают самым большим быстродействием, что обусловлено использованием для их изготовления ЭСЛ-технологии. Микросхемы относятся к группе

асинхронных. Время цикла обращения в диапазоне рабочих температур имеет значения от 9 нс для микросхемы К1500РУ073 и 15 нс для К1500РУ480 до 40...45 нс для К500РУ470, К1500РУ470, К500РУ415. Микросхемы памяти названных серий имеют электрические характеристики, несовместимые с характеристиками микросхем других серий, что исключает их совместное применение. Для них характерен сравнительно высокий уровень энергопотребления при небольшой информационной емкости (табл. 2.1). Причем уровень потребляемой мощности не изменяется при переходе от режима обращения к режиму хранения. Выход у большинства микросхем построен по схеме с открытым эмиттером (ОЭ). Такой выход можно непосредственно подключать к информационной шине либо необходимо его нагрузить внешним резистором 50 Ом, соединенным с источником напряжения —2 В. Микросхемы памяти ЭСЛ-серий предназначены в основном для применения в быстродействующей аппаратуре в качестве регистров процессора (микросхемы с организацией 16×4, 64×8 и др.), сверхоперативной и буферной памяти (микросхемы с организацией 256×1, 256×4, 1К×1, 4К×1, 1К×4).

2.2. Микросхемы динамических ОЗУ

В микросхемах памяти динамического типа функции ЭП выполняет электрический конденсатор, образованный внутри МДП-структуры. Информация представляется в виде заряда: наличие заряда на конденсаторе соответствует логическому 0, отсутствие — логической 1. Поскольку время сохранения конденсатором заряда ограничено, предусматривают периодическое восстановление (регенерацию) записанной информации. В этом состоит одна из отличительных особенностей динамических ОЗУ. Кроме того, для них необходима синхронизация, обеспечивающая требуемую последовательность включений и выключений функциональных узлов.

Для изготовления микросхем динамических ОЗУ в основном применяют *n*-МДП-технологию, которая позволяет повышать быстродействие и уровень интеграции микросхем, обеспечивать малые токи утечки и за этот счет увеличивать время сохранения заряда на запоминающем конденсаторе.

Микросхемы динамических ОЗУ отечественного производства представлены в основном серией К565. Она включает в свой состав ряд микросхем, отличающихся не только своими характеристиками, но и использованными в них структурными решениями. Характеристики микросхем динамических ОЗУ серии К565 приведены в табл. 2.11, а их условные графические изображения — на рис. 2.12.

Рассмотрим типичный вариант реализации динамического ОЗУ на примере микросхемы К565РУ3 информационной ем-

Таблица 2.11. **Характеристики микросхем динамических ОЗУ**

Тип микросхемы	Емкость, бит	$t_{ц.зп(сч)}$	$U_{пит}$, В	$P_{пот}$, мВт обращение	$P_{пот}$, мВт хранение	Тип корпуса
КР565РУ1А,Б	4К×1	500, 900	12; ±5	400	20	210А.22-3
К565РУ3А-Г	16К×1	510...370	12; ±5	460	40	201.16-5
К565РУ5Б-Д	64К×1	230...460	5	250-160	21	2103.16-5
К565РУ5Д1,Д2	32К×1	460	5	160	21	2103.16-5*
К565РУ5Д3	16К×1	460	5	160	21	2103.16-5 $A_7=0$
К565РУ5Д4	16К×1	460	5	160	21	$A_7=1$
КР565РУ6Б-Д	16К×1	230...460	5	150-120	20	2103.16-2
К565РУ7В,Г	256К×1	340...410	5	350	35	2103.16-5

* При адресации строк и столбцов $A_7=1$.

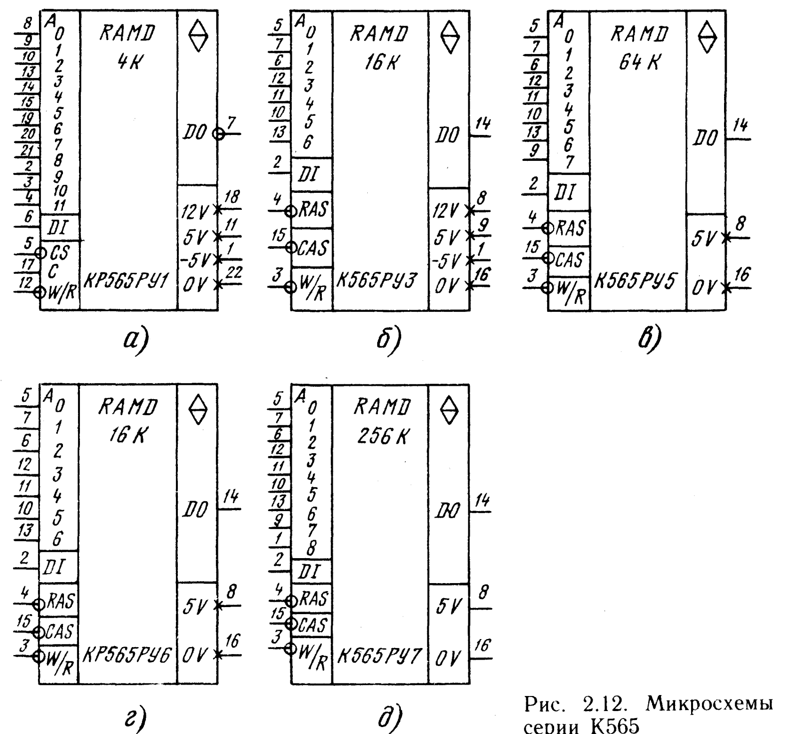


Рис. 2.12. Микросхемы памяти серии К565

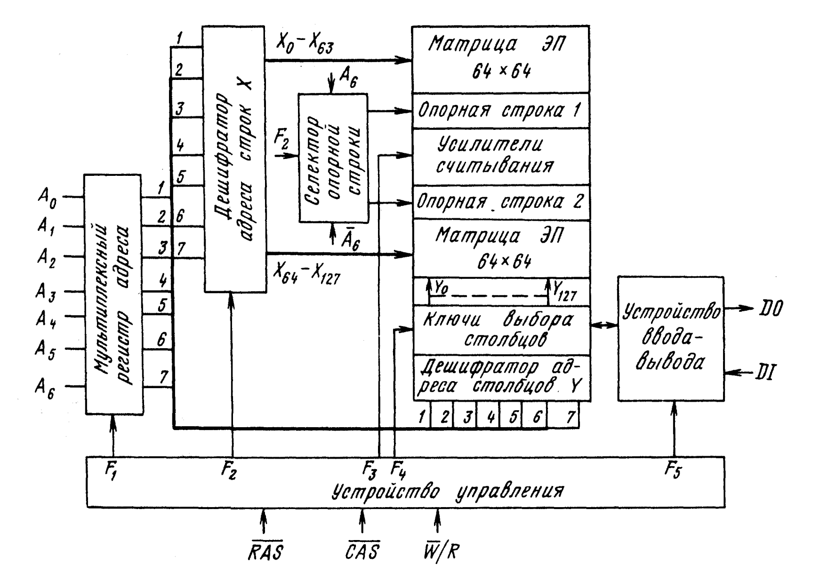


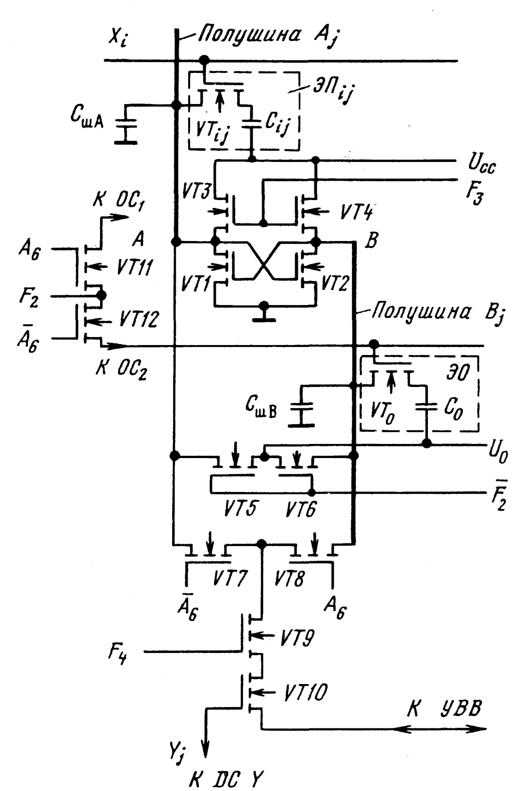
Рис. 2.13. Структура микросхемы динамического ОЗУ

костью 16K×1 бит. В ее структурную схему (рис. 2.13) входят выполненные в одном кремниевом кристалле матрица накопителя, содержащая 16 384 элементов памяти, расположенных на пересечениях 128 строк и 128 столбцов, 128 усилителей считывания и регенерации, дешифраторы строк и столбцов, устройство управления, устройство ввода-вывода и мультиплексный регистр адреса.

Матрица накопителя разделена на две части по 64×64 ЭП в каждой. Между ними размещены усилители, так что каждый столбец состоит из двух секций, подключенных к разным плечам усилителя (рис. 2.14).

Элемент памяти построен по однотранзисторной схеме и включает конденсатор C_{ij} и транзистор VT_{ij}. Транзистор выполняет функции ключа: при сигнале на адресной шине строки $X_i = 1$ он открывается и соединяет конденсатор C_{ij} с j-разрядной шиной. Предварительно в паузах между обращениями к накопителю емкости полушин $C_{шA}$ и $C_{шB}$ заряжает источник напряжения U_0 через открытые ключевые транзисторы VT5 и VT6. При обращении к накопителю эти транзисторы закрываются и изолируют полушины A_j и B_j от источника напряжения U_0. Запоминающий конденсатор C_{ij} выбранного ЭП подключается через открытый транзистор VT_{ij} к полушине A_j и изменяет ее потенциал. Это изменение незначительно, так как емкость запоминающего конденсатора, равная 0,1 ... 0,2 пФ, много меньше

Рис. 2.14. Фрагмент разряда (столбца) микросхемы динамического ОЗУ



емкости шины. Поэтому для индикации малого изменения потенциала шины при считывании информации применен высокочувствительный дифференциальный усилитель триггерного типа на транзисторах VT1 — VT4, включенный в середину РШ, как показано на рис. 2.14.

Кроме массива ЭП и усилителей, матрица имеет в своей структуре опорные элементы (ЭО) по одному элементу в каждой полушине. Эти элементы в каждой половине матрицы составляют опорную строку (ОС). Опорный элемент построен аналогично запоминающему. Его назначение состоит в поддержании опорного напряжения U_0, с которым усилитель сравнивает потенциал полушины с выбранным ЭП и реагирует на получающуюся при сравнении разность потенциалов положительного и отрицательного знака в зависимости от считываемого уровня. Эта операция происходит следующим образом: если выбрана для обращения строка верхней полуматрицы X_i, то сигнал A_6 старшего разряда кода адреса строки коммутирует в селекторе опорной строки цепь через ключевой транзистор VT_{12} для сигнала F_2 к OC_2, расположенной в нижней полуматрице. Таким образом, в каждом из 128 столбцов к усилителю с разных сторон подключены ЭП и ЭО. Поскольку потенциал полушины с ЭП отличается от опорного, то в проводимости транзисторов разных плеч усилителя-триггера появляется асимметрия, которая при включении цепи его питания сигналом F_3 вызывает опрокидывание триггера по преобладающему уровню. В итоге на выходах-входах А и В триггера формируются полные уровни 1 и 0. Тот из сигналов, который отражает считываемую информацию, в нашем примере на рис. 2.14 — сигнал с плеча А, коммутируется на вход устройства вывода через

ключевые транзисторы VT7, VT9 и VT10, открываемые сигналами $\overline{A}_6$, F_4 и Y_j. Очевидно, считан может быть только один сигнал с выбранного дешифратором столбца: $Y_j = 1$. У остальных столбцов ключи VT10 закрыты. Сигнал F_4 зависит от наличия сигнала $\overline{CAS}$: при отсутствии последнего он не формируется и ключ VT9 закрыт.

Сигнал на входе-выходе А триггера-усилителя выполняет также функцию восстановления уровня заряда запоминающего конденсатора C_{ij}, т. е. функцию регенерации информации. Причем эта операция происходит во всех ЭП выбранной строки одновременно.

Таким образом, при каждом обращении к матрице для считывания информации автоматически осуществляется регенерация информации во всех ЭП, принадлежащих выбранной строке.

Для адресации 16К элементов памяти необходим 14-разрядный код, а у рассматриваемой микросхемы только семь адресных входов. С целью уменьшения числа необходимых выводов корпуса в микросхемах динамических ОЗУ код адреса вводят по частям: вначале семь младших разрядов A_0 — A_6, сопровождая их стробирующим сигналом $\overline{RAS}$, затем семь старших разрядов A_7 — A_{13} со стробирующим сигналом $\overline{CAS}$. Внутри микросхемы коды адреса строк и столбцов фиксируются на адресном регистре, затем дешифрируются и осуществляют выборку адресуемого ЭП.

Для формирования внутренних сигналов F_1 — F_4, управляющих включением и выключением в определенной последовательности функциональных узлов микросхемы, в ее структуре предусмотрено устройство управления, для которого входными являются сигналы $\overline{RAS}$, $\overline{CAS}$, $\overline{W}/R$.

Устройство ввода-вывода обеспечивает вывод одного бита информации DO в режиме считывания и ввод одного бита информации DI с ее фиксацией с помощью триггера-защелки в режиме записи. Во всех режимах, кроме режима считывания, выход принимает высокоомное (третье) состояние. Наличие у выхода высокоомного состояния позволяет объединять информационные вход и выход при подключении микросхемы к общей информационной шине.

По входам и выходу микросхемы серии К565 совместимы с ТТЛ-микросхемами, что означает соответствие их входных и выходных сигналов ТТЛ-уровням.

Значения выходных токов в нормальном режиме эксплуатации не превышают 4 мА, а в предельном режиме могут достигать 30 мА.

Микросхемы динамических ОЗУ работают в следующих режимах: записи, считывания, считывания-модификации-записи, страничной записи, страничного считывания, регенерации.

Рассмотрим названные режимы и условия их реализации (табл. 2.12) применительно к микросхеме К565РУ3, но при этом

Таблица 2.12. **Таблица истинности микросхем серии К565**

$\overline{RAS}$	$\overline{CAS}$	$\overline{W}/R$	A	DI	DO	Режим работы
1	1	X	X	X	Z	Хранение
1	0	X	X	X	Z	Хранение
0	1	X	A	X	Z	Регенерация
0	0	0	A	0	Z	Запись 0
0	0	0	A	1	Z	Запись 1
0	0	1	A	X	D	Считывание

имея в виду, что аналогично протекают процессы и в микросхемах других типов этой серии.

Для обращения к микросхеме для записи и считывания информации необходимо подать (рис. 2.15, *а*) код адреса строк A_0 — A_6, одновременно с ним или с некоторой (не нормируется) задержкой сигнал $\overline{RAS}$, затем с нормированной задержкой на время удержания адреса строк относительно сигнала $\overline{RAS}$ должен быть подан код адреса столбцов и через время установления $t_{ус.а.CAS}$ — сигнал $\overline{CAS}$. К моменту подачи кода адреса столбцов на вход DI подводят записываемый бит информации, который сигналом $\overline{W}/R$ при наличии $\overline{CAS}=0$ фиксируется на входном триггере-защелке. Сигнал записи $\overline{W}/R$ может быть подан уровнем или импульсом. В последнем случае он должен иметь длительность не менее определенного параметром τ_{WR} значения. Если сигнал записи подан уровнем, то фиксацию DI триггером-защелкой производит отрицательный перепад сигнала $\overline{CAS}$ (при наличии

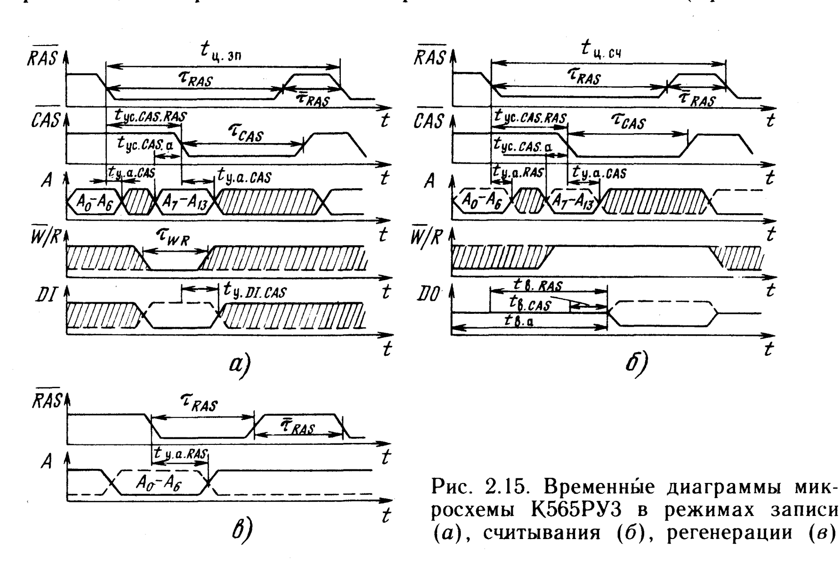


Рис. 2.15. Временные диаграммы микросхемы К565РУ3 в режимах записи (*а*), считывания (*б*), регенерации (*в*)

$\overline{RAS}=0$). По окончании записи должна быть выдержана пауза $\overline{\tau}_{RAS}$, равная интервалу между сигналами $\overline{RAS}$, для восстановления состояния внутренних цепей микросхемы.

В аналогичном порядке должны быть поданы адресные и управляющие сигналы при считывании информации (рис. 2.15, *б*). Сигнал $\overline{W}/R=1$ может быть подан импульсом или уровнем. Время появления выходного сигнала можно отсчитывать от момента поступления сигналов адреса $t_{в.а}$ либо сигналов управления, время выборки сигнала $\overline{RAS}$ $t_{в.RAS}$, время выборки сигнала $\overline{CAS}$ $t_{в.CAS}$. При оценке микросхемы по этим параметрам следует иметь в виду, что они взаимосвязаны, и поэтому достаточно знать один из них. Более информативным является параметр $t_{в.CAS}$, поскольку информацию выводит из микросхемы сигнал $\overline{CAS}$ при наличии, конечно, сигнала считывания $\overline{W}/R=1$.

Из рис. 2.15, *б* следует: $t_{в.RAS}=t_{в.CAS}+t_{ус.CAS.RAS}$.

Для оценки быстродействия микросхемы памяти в расчет необходимо принимать время цикла записи (считывания) $t_{ц.зп}$, $t_{ц.сч}$. Другие временны́е параметры необходимы для обеспечения бессбойного функционирования микросхем в составе электронной аппаратуры. Перечень временны́х параметров динамических ОЗУ включает десятки наименований. В табл. 2.13 приведены основные из них, дающие достаточно полное представление о динамике работы микросхем динамических ОЗУ серии К565. Со-

Таблица 2.13. **Динамические параметры микросхем серии К565**

Параметр, нс	К565РУ3			К565РУ5, КР565РУ6				К565РУ7	
	А, Б	В	Г	Б	В	Г	Д	В	Г
$t_{ц.зп(сч)}$	510	410	370	230	280	360	460	340	410
$t_{ц.сч-м-зп}$*	670	520	420	310	380	460	600	410	490
$t_{ц.зп(сч)}$**	370	275	225	150	180	250	320	120	140
τ_{RAS}	300	250	200	120	150	200	250	150	200
$\overline{\tau}_{RAS}$	200	150	120	100	120	150	200	180	200
τ_{CAS}	220	165	135	70	90	120	150	75	100
$t_{ус.CAS.RAS}$	100	85	65	30	35	55	75	50	60
$t_{у.а.RAS}$	60	45	25	15	20	40	60	20	25
$t_{ус.CAS.а}$	20	10	10	0	0	0	0	—	—
$t_{у.а.CAS}$	100	75	55	25	35	45	60	—	—
τ_{WR}	120	75	55	35	45	80	120	40	65
$t_{у.DI.CAS}$	100	75	55	45	55	80	120	55	70
τ_{CAS}**	140	100	80	70	80	120	160	60	70
$\tau_{в.CAS}$	200	165	135	70	90	120	150	50	60
$T_{рег}$, мс	2	2	2	2	2	2	1	8	8

Примечание. Длительности фронта и среза сигналов для всех микросхем от 3 до 35 нс.

* Время цикла в режиме «Считывание-модификация-запись».
** В страничном режиме.

держание параметров объяснено в § 1.2, а сами параметры указаны на временны́х диаграммах рис. 2.15 (штриховкой обозначены временны́е интервалы, не фиксируемые по длительности, где сигналы могут иметь произвольные значения: либо 0, либо 1).

Для обеспечения надежного сохранения записанной в накопителе информации реализуют режим принудительной регенерации. Регенерация информации в каждом ЭП должна осуществляться не реже чем через 2 мс (для К565РУ5Д и КР565РУ6Д через 1 мс). Как уже отмечалось, регенерация автоматически выполняется для всех ЭП выбранной строки при обращении к матрице для записи или считывания информации.

Время, в течение которого необходимо обратиться к строке для регенерации, определяет параметр «Период регенерации» $T_{рег}$.

Поскольку обращение к разным строкам происходит с различными по длительности интервалами времени, рассчитывать только на автоматическую регенерацию нельзя.

Цикл регенерации состоит из m обращений к матрице, где m — число строк, путем перебора адресов строк с помощью внешнего счетчика циклов обращений. Обращение к матрице для регенерации может быть организовано по любому из режимов: записи, считывания, считывания-модификации-записи, а также по специальному режиму регенерации — сигналом $\overline{RAS}$.

Режим работы «Считывание-модификация-запись» заключается в считывании информации о последующей записью в один и тот же ЭП. Во временны́х диаграммах сигналов для этого режима совмещены диаграммы для считывания (рис. 2.15, *б*) и записи (рис. 2.15, *а*) информации: при неизменных сигналах $\overline{RAS}$ и $\overline{CAS}$ режим считывания сменяет режим записи данных по тому же адресу. Модификация режима заключается в смене сигнала считывания на сигнал записи и в подведении ко входу DI записываемой информации. Время цикла в этом режиме обращения больше, чем в других (см. табл. 2.13). Во всех указанных режимах регенерация осуществляется в естественном порядке, как операция, сопутствующая процессу обращения к микросхеме.

При организации принудительной регенерации наиболее целесообразным и удобным для реализации является режим регенерации сигналом $\overline{RAS}$ (рис. 2.15, *в*), при котором осуществляют перебор адресов в сопровождении стробирующего сигнала $\overline{RAS}$ при $\overline{CAS}=1$.

У микросхемы К565РУ1 режим регенерации осуществляют по циклу считывания или «Считывание-модификация-запись» с выполнением условия $\overline{CS}=1$, при котором доступ к микросхеме по входу и выходу закрыт. Выход находится в высокоомном состоянии.

В расчет времени регенерации следует принимать время цик-

ла при выбранном режиме регенерации, умножив его на число строк. Например, на регенерацию информации в ЭП одной строки у микросхемы К565РУ5Б в режиме «Считывание-модификация-запись» необходимо (см. табл. 2.13) 310 нс, тогда для регенерации ЭП всех 256 строк потребуется 80 мкс, что составит 4% рабочего времени микросхемы. В режиме регенерации только сигналом $\overline{\text{RAS}}$ общее время регенерации уменьшается до 61,5 мкс, что составит 3% времени функционирования микросхемы.

Некоторые варианты схемотехнической реализации режима принудительной регенерации рассмотрены в гл. 3.

Страничные режимы записи и считывания реализуют обращением к микросхеме по адресу строки с выборкой ЭП этой строки изменением адреса столбцов. В этих режимах значительно уменьшается время цикла записи (считывания) (табл. 2.13), поскольку при неизменных сигналах $\overline{\text{RAS}}=0$ и кода адреса строки использована часть полного цикла записи (считывания), относящаяся к адресации столбцов.

В состав серии К565 входят микросхемы с информационной емкостью 4К, 16К, 64К и 256К. Микросхемы К565РУ1 и К565РУ3 нуждаются в трех источниках питания. При применении этих микросхем следует учитывать требования по порядку включения и выключения источников питания: первым подключают источник —5 В, а отключают последним. Это требование обусловлено тем, что напряжение —5 В подается на подложку (кристалл) и если его не подключить первым, то под воздействием, даже кратковременным, напряжений двух других источников с напряжением 5 и 12 В может произойти в кристалле тепловой пробой и повредиться микросхема.

В [36] описан вариант реализации источника питания для микросхем К565РУ1, К565РУ3 с приоритетом по времени включения напряжения —5 В. Порядок включения двух других напряжений питания может быть любым.

После подачи напряжения питания микросхемы К565РУ1, К565РУ3 переходят в нормальный режим функционирования через восемь рабочих циклов, микросхема К565РУ5 — после паузы в 2 мс и последующих 16 рабочих циклов; микросхема КР565РУ6 — после паузы 2 мс и последующих 8—16 рабочих циклов в любом из режимов.

Микросхемы К565РУ5 и КР565РУ6 имеют один источник питания 5 В и одинаковые электрические параметры, но различную информационную емкость. Микросхема КР565РУ6 совместима с микросхемой К565РУ3 по статическим параметрам, имеет ту же информационную емкость и разводку выводов в корпусе, но отличается лучшими значениями временны́х параметров, потребляемой мощности и наличием одного источника питания 5 В. Поэтому применение микросхемы КР565РУ6 предпочтительнее.

Каждый тип микросхем серии К565 подразделен на подтипы

(типономиналы), отличающиеся временны́ми параметрами, а у микросхемы К565РУ5 и информационной емкостью (табл. 2.11), что расширяет функциональный ряд микросхем динамических ОЗУ. По режимам работы микросхемы серии К565 полностью совместимы, что обеспечивает возможность перехода от микросхем памяти небольшой информационной емкости, например от КР565РУ6, к микросхемам К565РУ5 и К565РУ7.

Дальнейшее развитие микросхем динамических ОЗУ связано с повышением уровня интеграции и, следовательно, информационной емкости, а также с освоением структур, в которых устройство динамической памяти совмещено на одном кристалле с устройством регенерации. Такое динамическое ОЗУ для пользователя имеет характеристики статического ОЗУ, и поэтому его называют квазистатическим. Элементы таких встроенных систем регенерации уже присутствуют в современных микросхемах динамических ОЗУ, в частности в К565РУ7. Существенной отличительной особенностью данной микросхемы является увеличенный до 8 мс период регенерации и наличие у нее встроенного в кристалл счетчика адреса строк, что позволяет применять режим авторегенерации. В этом режиме регенерация осуществляется за 512 циклов изменения только сигнала $\overline{RAS}$ при активном состоянии сигнала $\overline{CAS}$. Перебор адресов строк автоматически выполняет внутренний счетчик. Это упрощает устройство управления микросхемой [22, 33].

2.3. Микросхемы регистровых ОЗУ

Регистр как функциональный узел широко применяется в качестве ячейки памяти. Например, регистры включены в структуру многих микросхем ОЗУ и ПЗУ для хранения кода адреса, входных и выходных данных. Микросхемы регистров входят в состав большинства серий, в том числе и в микропроцессорные комплекты БИС в качестве регистров общего назначения (РОН), многорежимных буферных регистров (МБР), буфера данных между быстродействующим процессором и более медленными периферийными устройствами и т. д.

Запоминающие устройства на регистрах могут быть построены с произвольным доступом (выборкой) и с последовательным доступом [1]. Регистровые ЗУ с произвольной выборкой позволяют адресовать все регистры и обратиться к любому из них для записи или считывания информации. В отличие от них регистровые ЗУ с последовательным доступом для обращения к нужной ячейке требуют перебора адресов в сторону их увеличения или уменьшения до требуемого адреса. Те и другие реализуют на микросхемах регистров параллельного и последовательного типа соответственно. В параллельный регистр информацию записывают всеми разрядами одновременно и так же ее считывают. В качестве

параллельного регистра применяют как регистры хранения, так и регистры сдвига. В последовательный регистр информацию записывают с одного входа поразрядно последовательно во времени. Таким же способом ее и считывают с выхода последнего триггера. Последовательным может быть только регистр сдвига. Многие регистры сдвига допускают и параллельную запись и считывание информации, т. е. являются комбинированными.

Номенклатура отечественных микросхем регистров обширна и разнообразна. Она включает регистры хранения и сдвига статические и динамические с разрядностью от четырех до нескольких десятков, микросхемы с однорегистровой и многорегистровой структурой, с большим быстродействием, рассчитанным на применение с тактовыми частотами в сотни мегагерц, и малым быстродействием, способным обеспечить работу регистра с тактовыми частотами в единицы килогерц.

В табл. 2.14 приведены примеры микросхем регистров, которые дают некоторое представление о их характеристиках. Ниже будут рассмотрены в основном многорегистровые микросхемы, поскольку микросхемы регистров с традиционной структурой достаточно подробно описаны в справочной литературе [8, 14, 15, 18].

Микросхема КР1802ИР1 является двухадресным регистровым ЗУ емкостью 16×4 бит и предназначена для создания СОЗУ

Таблица 2.14. **Микросхемы регистровых ЗУ**

Тип микросхемы	Емкость, бит	$t_{ц.зп(сч)}$	$P_{пот}$, мВт	Тип выхода	Технология
КР1802ИР1	16×4	55	990	ТТЛ-3	ТТЛШ
К555ИР26	4×4	43	250	ТТЛ-3	ТТЛШ
К1002ИР1	32×8	500	20	КМДП-3	КМДП
К561ИР11	8×4	450	4	КМДП	КМДП
К561ИР12	4×4	6000	3	КМДП-3	КМДП
К1800РП6	32×9	19	1800	ЭСЛ	ЭСЛ
К555ИР30	8×1	34	180	ТТЛ	ТТЛШ
Параллельные регистры					
К531ИР22	8	19	800	ТТЛ-3	ТТЛШ
К555ИР22	8	43	200	ТТЛ-3	ТТЛШ
К555ИР27	8	30	140	ТТЛ	ТТЛШ
КМ1804ИР2	8	43	195	ТТЛ	ТТЛШ
КМ1804ИР3*	8	26	1444	ТТЛ	ТТЛШ
К589ИР12	8	55	725	ТТЛ-3	ТТЛШ
К580ИР82	8	100	800	ТТЛ-3	ТТЛШ
К588ИР1	8	150	10	ТТЛ-3	КМДП

Примечание. Напряжение питания всех микросхем 5 В, кроме К1800РП6 — минус 5,2 В.

* Двунаправленный.

процессоров, в том числе модулей РОН микропроцессорных систем, а также многоадресных ОЗУ. Структура микросхемы (рис. 2.16) состоит из матрицы с 16 РОН по четыре разряда (триггера) каждый, двух независимых устройств ввода-вывода: канала А и канала В на четыре разряда каждый, двух дешифраторов кодов адреса ячеек памяти (регистров) и двух устройств управления. Система сигналов включает: A_{A0}—A_{A3}, A_{B0}—A_{B3} — коды адреса, обеспечивающие независимое обращение к регистрам матрицы при условии, что коды не должны быть одинаковыми; $\overline{RD}_A$, $\overline{RD}_B$ — разрешение считывания информации по каналу А и каналу В соответственно; $\overline{WR}_A$, $\overline{WR}_B$ — разрешение записи информации через канал А и канал В, $\overline{CE}_A$, $\overline{CE}_B$ — разрешение обмена информацией с каналом А и каналом В. Все входы управляющих сигналов — инверсные, следовательно, разрешающие активные значения названных сигналов равны логическому 0. Информацию записывают в ячейки памяти матрицы и считывают через совмещенные входы-выходы канала А (DA_0—DA_3) и канала В (DB_0—DB_3). Устройство ввода-вывода состоит из усилителей считывания с выходами на три состояния и усилителей записи.

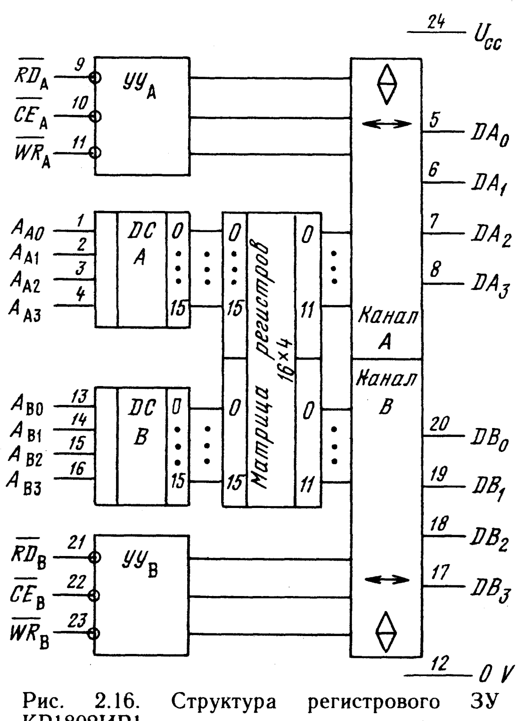


Рис. 2.16. Структура регистрового ЗУ КР1802ИР1

Микросхема под управлением сигналов $\overline{RD}$, $\overline{WR}$, $\overline{CE}$ может работать в следующих режимах: запись по каналу А, запись по каналу В, одновременная запись по каналам А и В, считывание по каналу А, считывание по каналу В, одновременное считывание по каналам А и В, запись по каналу А и считывание по каналу В, и наоборот. При отсутствии сигнала разрешения обмена по каналу: $\overline{CE}=1$, выходы данного канала находятся в высокоомном (третьем) состоянии. Сигналы управления подают уровнем напряжения.

Микросхема конструктивно оформлена в корпусе 2120.24-2, назначение выводов показано на рис. 2.16.

Микросхема К555ИР26 (рис. 2.17, *а*) состоит из четырех регистров по четыре разряда в каждом. Все регистры адресуемы, причем предусмотрена раздельная адресация регистров при записи (AW_0AW_1) и при считывании (AR_0AR_1). Информацию записывают 4-разрядным кодом по входам DI_0 — DI_3, установив код адреса AW_0AW_1 (AW_1 — старший разряд) и подав сигнал разрешения записи $\overline{WE}=0$. При $\overline{WE}=1$ доступ к регистрам для записи закрыт. Микросхема асинхронная: сигналы управления подают уровнем напряжения.

Считывание информации производят по установленному адресу при наличии сигнала разрешения выхода $\overline{OE}=0$. При $\overline{OE}=1$ доступ к регистрам для считывания закрыт, выходы находятся в высокоомном состоянии. Разделение адресных сигналов позволяет одновременно записывать и считывать информацию, адресуя разные регистры.

Микросхема может работать в режимах: запись 4-разрядного кода в любой из регистров, считывание 4-разрядного кода из

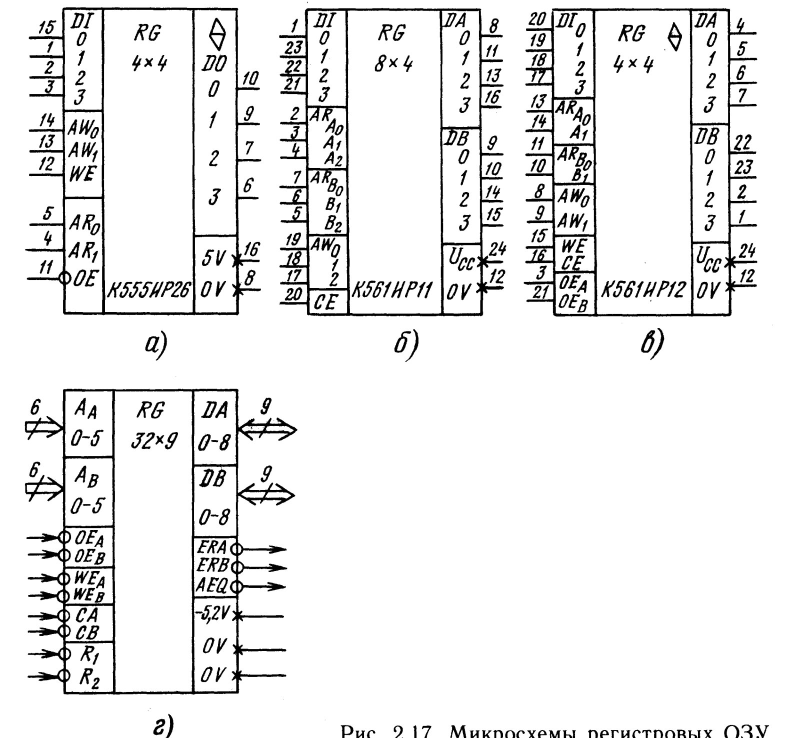


Рис. 2.17. Микросхемы регистровых ОЗУ

любого регистра, одновременная запись и считывание информации из разных регистров, хранение информации (при $\overline{WE}=\overline{OE}=1$).

Микросхемы допускают объединение одноименных входов и выходов для наращивания числа регистров и их разрядности. Задача объединения микросхем регистров решается так же, как и для микросхем ОЗУ и ПЗУ (см. гл. 3).

Микросхема К561ИР11 (рис. 2.17, *б*) состоит из восьми 4-разрядных регистров общего назначения с произвольной выборкой. Записывают информацию в микросхему 4-разрядным кодом по входам DI_0 — DI_3, считывают по выходам двух 4-разрядных каналов А и В: DA_0 — DA_3, DB_0 — DB_3. Адресные сигналы: AW_0 — AW_2 — для записи, AR_{A0} — AR_{A2} — для считывания по каналу А, AR_{B0} — AR_{B2} — для считывания по каналу В. Сигнал CE разрешает доступ к микросхеме. Вход этого сигнала — прямой динамический: только при положительном перепаде сигнала CE осуществляется запись или считывание информации, в остальных состояниях этого сигнала доступ к регистрам по адресным и информационным входам закрыт, в это время на выходах присутствует информация, предшествующая снятию разрешения.

Микросхема может работать в следующих режимах: запись информации в один из регистров по адресу $AW_2AW_1AW_0$, считывание информации по каналам А и В из двух регистров, выбранных адресами $AR_{A2}AR_{A1}AR_{A0}$ и $AR_{B2}AR_{B1}AR_{B0}$, хранение информации. При записи информации код адреса выбираемого регистра одновременно подается на все три группы адресных входов: AW, AR_A, AR_B. Спустя некоторое время с момента поступления на вход CE положительного перепада сигнала разрешения на выходах обоих каналов установится записываемая информация. При считывании на адресные входы AW должна быть подана нулевая комбинация, а на входы AR_A и AR_B коды адресов регистров, с которых информация считывается по каналам А и В соответственно. На выходах каналов считываемая информация появится спустя время задержки после подачи положительного перепада на вход разрешения. Режим хранения обеспечивается отсутствием на входе CE положительного перепада сигнала разрешения.

При наращивании числа регистров необходимо объединить несколько микросхем, при этом одноименные выходы разных микросхем соединять нельзя, поскольку у них нет третьего состояния. С целью объединения выходов используют мультиплексоры [16].

Микросхема К561ИР12 (рис. 2.17, *в*) содержит четыре 4-разрядных регистра. У этой микросхемы в организации и режимах работы много общего с рассмотренной микросхемой К561ИР11, но имеются и существенные отличия: выходы могут принимать третье состояние, введены дополнительные сигналы управления

WE (Разрешение записи), OE_A, OE_B (Разрешение выхода по каналам A и B). При OE=0 выходы соответствующего канала переходят в третье состояние.

Микросхема может работать в режимах: хранения, записи информации в один из регистров, считывания информации из двух регистров одновременно, записи и считывания информации при разных адресах в одном цикле обращения.

При реализации режима записи необходимо подать код адреса AW_1AW_0, разрешающий запись сигнал WE=1 и положительный перепад сигнала CE. В это время выходы могут находиться в третьем состоянии, если $OE_A = OE_B = 0$. Для контроля записываемой информации на адресные входы обоих или одного из каналов AR_A и AR_B подают адрес записи и при сигнале разрешения выхода $OE_A = OE_B = 1$ записанная информация появится на выходе. Можно в одном цикле с записью произвести считывание информации, подав на адресные входы каналов сигналы адреса и открыв выходы для считывания $OE_A = OE_B = 1$. Режим хранения обеспечивается отсутствием активного сигнала CE.

Наличие выходов с тремя состояниями позволяет при наращивании емкости соединять одноименные выходы с подключением их через резистор к корпусу.

Микросхема К1002ИР1 (рис. 2.18) представляет собой ЗУ магазинного типа емкостью 32×8 бит. Регистры соединены в цепь, в начало которой информация поступает для записи, а с конца считывается. В структуре микросхемы предусмотрено устройство сдвигателя кода: записанный в первый регистр байт информации сдвигатель автоматически перемещает последовательно через все внутренние регистры в последний регистр, следующий байт — в предпоследний и т. д. Операцию записи информации производят сигналом WR=1, при необходимости предварительно стерев прежнюю информацию импульсным сигналом

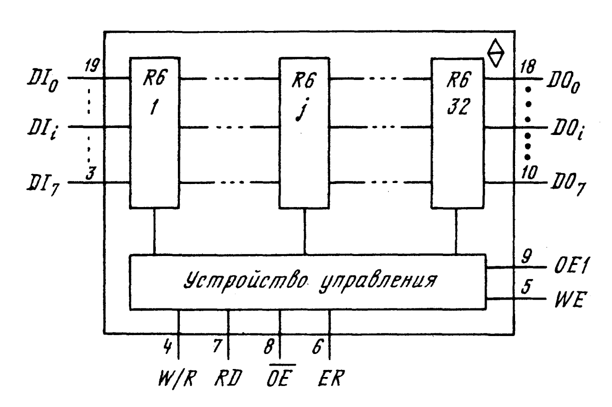


Рис. 2.18. Регистровое ОЗУ магазинного типа К1002ИР1

ER=1. Сообщение о готовности микросхемы принять для записи следующий байт формирует выход WE в виде сигнала высокого уровня. Очередной сигнал WR переводит выход WE в состояние 0, и когда записанный байт будет перемещен сдвигателем во второй регистр, на выходе готовности появится уровень 1. При полном заполнении ЗУ на выходе WE установится 0.

Считывание информации производят последовательно во времени с выводов последнего регистра при сигнале разрешения выхода $\overline{OE}=0$ и по сигналу считывания RD=1. Сообщение о готовности выхода к считыванию следующего байта формирует выход OE1 в виде сигнала высокого уровня. При поступлении очередного сигнала считывания выход OE1 переходит в состояние 0 и после перемещения информации из 31-го регистра в 32-й на выходе OE1 устанавливается высокий уровень напряжения. При отсутствии информации в ЗУ OE1=0.

При подаче сигнала OE=1 («Блокировка») выходы данных и OE1 переходят в третье состояние, вход RD блокируется и возможна только запись информации.

Следовательно, особенность магазинного ЗУ состоит в том, что оно не допускает произвольную выборку ячейки памяти, в данном случае регистра. Существует другая возможность организации ЗУ магазинного типа, при которой информация записывается и считывается через одни и те же входы-выходы. Поэтому записанную в ЗУ информацию считывают в обратном порядке. Такие ЗУ нередко называют «стеком».

Регистровые ЗУ магазинного типа, как К1002ИР1, могут применяться для согласования устройств с неравномерной скоростью передачи, поскольку они допускают выполнение записи и считывания в независимых друг от друга и асинхронных режимах. Есть возможность наращивать разрядность и емкость таких ЗУ путем их последовательного соединения [24]. Конструктивно микросхема К1002ИР1 оформлена в корпусе 4118.24.

Микросхема К1800РП6 представляет собой двухадресную память с организацией 32×9 бит. Структура микросхемы состоит из двух частей с независимой адресацией, что позволяет использовать ее как двухканальную систему для работы на две независимые магистрали адресов и данных. Для обеспечения этого режима в микросхеме предусмотрен ряд схемотехнических решений, исключающих сбои и ошибки в работе. Матрица разделена на два массива с одинаковой организацией 32×9 бит, каждый из которых имеет необходимые функциональные узлы для адресации ячеек памяти, записи и считывания информации. На условном графическом изображении микросхемы (см. рис. 2.17, *г*) показана система адресных и управляющих сигналов: 5-разрядный код адреса канала А (A_{A1}—A_{A5}) и канала В (A_{B1}—A_{B5}), нулевой разряд A_{A0}, A_{B0} контрольный для проверки на четность, сигналы разрешения записи $\overline{WE}_A$, $\overline{WE}_B$, разрешения выхода

(считывания) $\overline{OE_A}$, $\overline{OE_B}$, синхросигналы $\overline{CA}$, $\overline{CB}$, обеспечивающие выход считываемой информации при наличии разрешающих сигналов $\overline{OE}=0$.

Ввод и вывод информации осуществляют через два 9-разрядных двунаправленных входа-выхода DA, DB. При $\overline{OE}=1$ выходы находятся в состоянии 1. Работа микросхемы структурно организована так, что оба массива матрицы доступны для обращения к ним по обоим каналам. Между собой массивы связаны так, что если информация записывается в один из них, то автоматически она записывается и во второй. Поэтому внешне микросхема функционирует как регистровое двухканальное ЗУ с организацией 32×9 бит с произвольной выборкой для записи и считывания по двум каналам одновременно. Для исключения ошибок в адресации предусмотрено устройство контроля.

Существенной особенностью микросхемы является ее способность выявлять ошибки в коде адреса и данных по методу контроля четности. Уже было отмечено, что один разряд в коде адреса является контрольным. Такую же роль играет девятый бит в коде данных. В структурной схеме имеются узлы контроля четности адреса и данных и формирования сигналов ошибки $\overline{ERA}$ в канале A и $\overline{ERB}$ в канале B, а также сигнала предупреждения о возможности ошибки AEQ при совпадении адресов. При выявлении ошибки в коде данных микросхема их не принимает при записи и не выдает на выход при считывании, сопровождая эти операции признаками ошибок на соответствующих выходах.

Микросхема выполнена по ЭСЛ-технологии, обладает высоким быстродействием. Для снижения влияния наводок в цепях питания предусмотрены две общие точки, одна из которых предназначена для выходных эмиттерных повторителей.

Функциональные возможности микросхемы позволяют применять ее в качестве буфера данных между быстродействующим процессором и более медленными периферийными устройствами. Она может быть использована также в качестве стека или блока РОН. Для более подробного ознакомления с микросхемой можно обратиться к [18]. Модификацией рассмотренной микросхемы является микросхема К1800РП16, у которой за счет исключения взаимосвязи между двумя массивами матрицы емкость удвоена: 64×9 бит.

Микросхема К555ИР30 содержит восемь адресуемых триггеров. В этом заключается своеобразие микросхемы. Адресуют триггеры трехразрядным кодом. Для записи и считывания информации предусмотрены информационные вход и выход. Режимом микросхемы управляет сигнал $\overline{WE}$ разрешения записи.

В составе многих микропроцессорных комплектов имеются многорежимные буферные регистры (МБР). Самая распространенная структура МБР — параллельный регистр со схемами уп-

равления, обеспечивающими прием информации в регистр и выдачу ее по запросу. В табл. 2.14 приведены микросхемы МРБ разных микропроцессорных комплектов. Эти микросхемы широко применяют для сопряжения модулей памяти с магистральными шинами, для построения различных устройств управления.

Микросхемы буферных регистров могут выполнять кроме основной ряд дополнительных функций. Например, микросхему К589ИР12 широко применяют в качестве управляемого буферного устройства, устройства прерывания, выходного буфера, формирователя двунаправленной шины.

Микросхема К588ИР1 (рис. 2.19, *а*) является 8-разрядным МБР и предназначена для построения интерфейсных блоков процессоров, ЗУ, контроллеров внешних устройств. Основным функциональным узлом структурной схемы (рис. 2.19, *б*) является регистр. Информация 8-разрядным кодом записывается по входам DI_0-DI_7 при сигнале записи $\overline{WR}=0$. Считывание информации осуществляют по сигналу $\overline{RD}=0$ через выходные буферные усилители и выходы микросхемы DO_0-DO_7. При необходимости сигналом $\overline{IN}=0$ выходной код инвертируется. Очистку регистра производит сигнал $\overline{ER}=0$. Указанные режимы микросхема выполняет при условии $\overline{CS}=0$. Если $\overline{CS}=1$ выходы микросхемы находятся в третьем состоянии.

Дополнительной функцией микросхемы является проверка

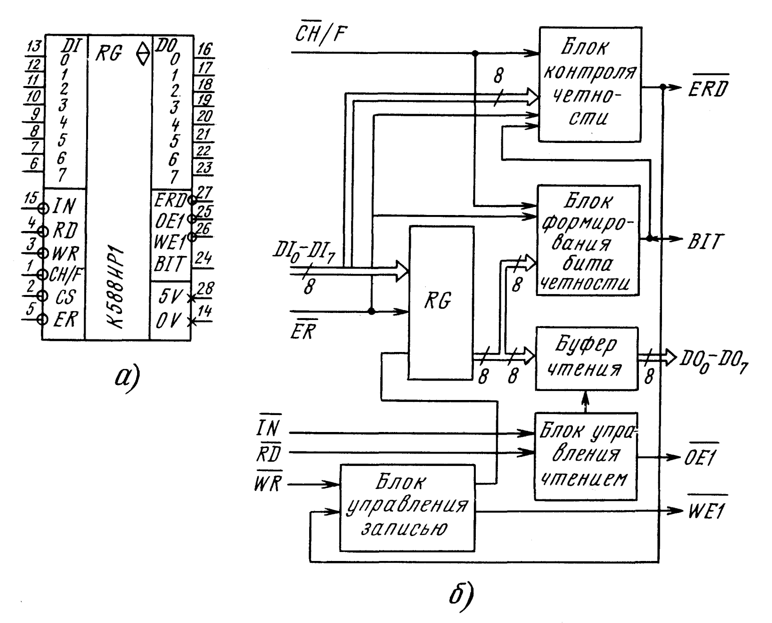


Рис. 2.19. Многорежимный буферный регистр К588ИР1:
а — условное обозначение; *б* — структурная схема

данных, записываемых или считываемых, на четность. Контроль принимаемой информации на четность осуществляет блок, который представляет собой многовходовый сумматор по модулю 2 с выходным триггером для фиксирования результата. На вход этого блока поступают принятый 8-разрядный код и один контрольный разряд — бит четности, который приходит на вход BIT одновременно с информацией. Анализируя 9-разрядный код на условие четности единиц и определяя его невыполнение, блок контроля на своем выходе формирует сигнал ошибки $\overline{ERD}$, который блокирует запись ошибочной информации в регистр.

Микросхема может работать и в режиме формирования бита четности при считывании информации. В этом режиме считываемый код поступает на вход блока формирования бита четности. Если код содержит нечетное число единиц, то на выходе блока формируется 1, в другом случае — 0. Этот сигнал с выхода BIT выходит из микросхемы параллельно с информационным кодом. Таким образом, в выходном 9-разрядном коде всегда будет выполняться условие четности единиц. Поэтому такая же микросхема на приемном конце в режиме контроля четности легко выявит одиночную ошибку в коде. Сигнал $\overline{CH}/F$ определяет режим контроля на четность (при 0) или режим формирования бита четности (при 1). Данный режим работы микросхемы К588ИР1 может быть эффективно использован при совместном ее применении с микросхемами ОЗУ для защиты модуля ОЗУ от ошибочной информации.

Глава 3

ПРИМЕНЕНИЕ МИКРОСХЕМ ОПЕРАТИВНЫХ ЗАПОМИНАЮЩИХ УСТРОЙСТВ

3.1. Оперативная память на микросхемах статических ОЗУ

Когда речь заходит о применении микросхем памяти, то прежде всего указывают на вычислительные средства — ЭВМ различного уровня: от высокопроизводительных ЕС ЭВМ до микроЭВМ и микропроцессорных устройств управления — контроллеров. Это обусловлено тем, что в вычислительных системах в зависимости от их назначения память занимает от 40 до 70% всего оборудования [9]. От параметров ЗУ во многом зависят технические характеристики вычислительных средств.

Для реализации оперативной памяти широко применяют микросхемы статических и динамических ОЗУ: первые — для ОЗУ сравнительно небольшой емкости, вторые — для ОЗУ емкостью более 10К байт, поскольку они в большей степени удовлетворяют

требованиям к габаритам, энергопотреблению и стоимости запоминающих устройств.

Микросхемы статических ОЗУ проще в применении, и поэтому во многих случаях им отдают предпочтение.

Микросхемы памяти для построения ОЗУ микроЭВМ или микропроцессорного контроллера выбирают, исходя из следующих данных: требуемая информационная емкость и организация памяти, быстродействие (время цикла обращения для записи или считывания), тип магистрали (интерфейса), характеристики линий магистрали (нагрузочная способность по току и емкости, требования к устройствам ввода-вывода подключаемых узлов и др.), требования к энергопотреблению, необходимость обеспечения энергонезависимости, условия эксплуатации, конструктивные требования.

Блок ОЗУ в общем случае включает модуль ОЗУ, составленный из микросхем памяти, контроллер ОЗУ (устройство управления), буферные регистры или магистральные приемопередатчики, шинные формирователи, обеспечивающие сопряжение по нагрузке модуля ОЗУ с шинами адреса и данных.

Значительное влияние на схему и характеристики контроллера и устройств сопряжения оказывает тип интерфейса, принятый в данной микропроцессорной системе [27].

Физический интерфейс представляет собой унифицированную магистраль из функционально объединенных линий, по которым передают коды адреса (шина адреса ША), данные (шина данных ШД), управляющие сигналы (шина управления ШУ), а также электропитание.

Для современных отечественных микроЭВМ и контроллеров применяют в основном интерфейсы следующих типов: ИК1 (для устройств на микропроцессоре К580ВМ80), И41 (для устройств на основе 16-разрядного микропроцессора К1810ВМ86, в частности для микроЭВМ семейства СМ1810 и др.), МПИ (для семейства 16-разрядных микроЭВМ «Электроника-60», «Электроника НЦ-80» и ДВК, «Электроника С5» и др.).

Магистраль ИК1 включает 16-разрядную ША, 8-разрядную ШД и шину управления, из которой для блока ОЗУ используют линии сигналов $\overline{MWTC}$ ($\overline{MEMW}$) — «Запись в ОЗУ», $\overline{MRDC}$ ($\overline{MEMR}$) — «Чтение из ОЗУ» [9, 62].

Магистраль И41 включает 20-разрядную ША, 16-разрядную ШД и ШУ с линиями сигналов: $\overline{MWTC}$ — «Запись в ОЗУ», $\overline{MRDC}$ — «Чтение из ОЗУ», $\overline{XACK}$ — ответ «Подтверждение обмена», $\overline{INH1}$ — «Запрет ОЗУ» (запрещает ОЗУ реагировать на адрес), $\overline{BHE}$ — «Разрешение старшего байта» (указание о двухбайтовой передаче данных [9, 25, 27].

Магистраль И41 допускает подключение к ней 8-разрядных устройств, так как имеет режим работы с байтами. Адресные

признаки выборки младшего L- и старшего H-байта содержат сигналы A_0 и $\overline{BHE}$. Это обстоятельство обусловливает совместимость устройств на микропроцессорах К580ВМ80 и К1810ВМ86 при их объединении интерфейсом И41.

Магистраль МПИ межмодульного параллельного интерфейса включает совмещенную 16-разрядную шину «Данные-Адрес» ШД/А и шину управления с линиями сигналов [26, 27]: $\overline{SYNC}$ — «Синхронизация активного устройства» (наличие сигнала означает, что идет обмен по каналу); $\overline{DIN}$ — «Ввод данных» (указывает на режим считывания данных из ЗУ микропроцессором); $\overline{DOUT}$ — «Вывод данных» (запись данных в ЗУ); $\overline{WTBT}$ — «Запись байта»; $\overline{RPLY}$ — «Синхронизация пассивного устройства» (выходной сигнал сопровождения данных). Все названные сигналы, кроме $\overline{RPLY}$, являются для ОЗУ входными.

При необходимости можно осуществить сопряжение магистралей ОШ и МПИ с помощью микросхемы К1801ВП1-054, которая представляет собой базовый матричный кристалл со схемой соединений его элементов, реализующей логику сопряжения.

Рассмотрим ряд примеров построения блока статического ОЗУ, обратив при этом основное внимание на принципы схемотехнической реализации основных функциональных узлов. Эти же вопросы применительно к динамическому ОЗУ рассмотрены в § 3.2.

При разработке ОЗУ одной из типичных является задача объединения микросхем памяти в модуль. Способ решения этой задачи иллюстрирует рис. 3.1, на котором приведен блок ОЗУ, емкостью 8К байт, построенный на микросхемах К537РУ14 с возможностью его расширения до 32К байт. Каждая микросхема имеет одноразрядную организацию 4К×1 бит. Для наращивания разрядности слов до байта объединяют восемь микросхем DD1 — DD8 в субмодуль путем соединения всех одноименных выводов, кроме информационных. Аналогично построен субмодуль DD9 — DD16.

Для наращивания числа слов соединяют все одноименные выводы микросхем субмодулей DD1 — DD8 и DD9 — DD16 кроме выводов для сигналов выбора микросхем $\overline{CS1}$, $\overline{CS2}$. Эти выводы подключают к выходам дешифратора DD17, назначение которого заключается в выборе субмодуля, адресуемого старшими разрядами кода адреса $A_{14}A_{13}A_{12}$. В рассматриваемом примере задействованы два выхода DD17, на которых сигналы с уровнем логического 0 появляются при входных кодах 000 и 001. В первом случае открыт доступ к субмодулю DD1 — DD8, во втором к субмодулю DD9 — DD16. Очевидно, оставшиеся шесть выходов DD17 позволяют увеличивать емкость ОЗУ еще на шесть анало-

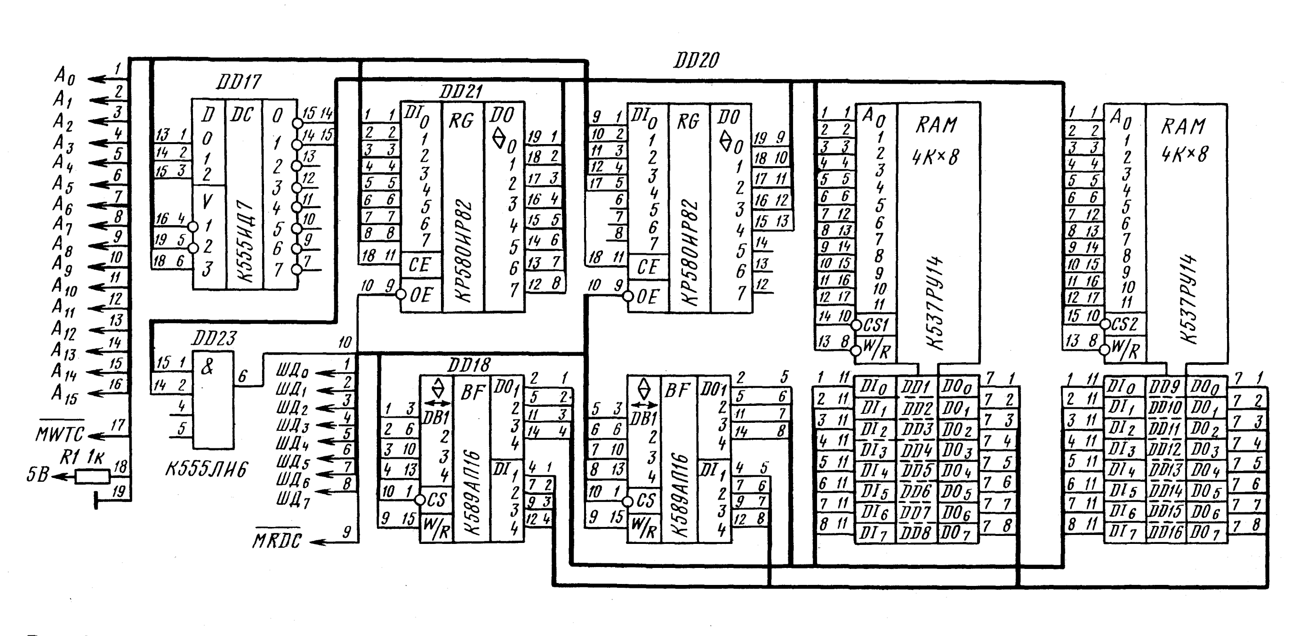


Рис. 3.1. Блок статического ОЗУ на микросхемах памяти с раздельными линиями ввода-вывода данных

гичных субмодулей, т. е. до 32K байт, либо использовать часть выходов для подключения к ним модулей ПЗУ.

Такую организацию памяти, как на рис. 3.1, называют страничной, а субмодуль — страницей. Полезно иметь в виду возможность изменения адреса страниц, т. е. ее положения в адресном пространстве, подключением вывода CS к нужному выходу дешифратора DD17.

Старший разряд кода адреса A_{15} использован для разделения адресного пространства емкостью 64K на две равные части. При $A_{15}=0$ дешифратор DD17, имея на управляющем входе V1 разрешающий сигнал с уровнем логического 0, обеспечивает формирование на своих выходах сигналов выбора страниц. При $A_{15}=1$ дешифратор DD17 блокирован, на его выходах уровни принимают значения логической 1 и тем самым обеспечивается запрещение доступа к страницам ОЗУ. Вторая половина адресного пространства емкостью до 32K байт может быть использована для адресации устройств ввода-вывода. При необходимости существенного увеличения емкости памяти используют четыре старших разряда кода адреса A_{12} — A_{15}. В таком случае можно применить дешифратор К555ИД3, имеющий 16 выходов, что позволит получить модуль памяти емкостью до 64K байт.

Регистры DD20, DD21 выполняют функции буферов адресной шины. Буферизация шин необходима для повышения их нагрузочной способности по току и емкости. Например, линии ША микропроцессора КР580ВМ80А имеют допустимые значения тока до 1,8 мА и емкости до 100 пФ. Учитывая, что значение емкости каждого адресного входа микросхем памяти серии К537 равно 5 ... 10 пФ, получаем в схеме на рис. 3.1 емкостную нагрузку каждой линии ША более 100 пФ, что обусловливает необходимость включения буфера.

Применение регистров КР580ИР82 в качестве буфера увеличивает нагрузочную способность линий ША до 32 мА и 300 пФ. Один из разрядов регистра DD20 (выводы 5, 15) использован для буферизации линии сигнала $\overline{\text{MWTC}}$, который управляет режимом записи-считывания микросхем ОЗУ.

Запись информации в регистр КР580ИР82 осуществляют по стробу, подаваемому на вход СЕ (вывод 11), либо при наличии на этом входе постоянного уровня логической 1. Считывание информации возможно при наличии на входе $\overline{\text{OE}}$ (вывод 9) сигнала с уровнем логического 0. При $\overline{\text{OE}}=1$ выходы принимают третье состояние. Разрешающее значение сигнала $\overline{\text{OE}}$ формирует логический элемент DD23 при поступлении хотя бы на один из его входов сигнала с уровнем логического 0. Следовательно, при обращении к модулю ОЗУ, когда один из сигналов выбора страницы $\overline{\text{CS1}}$ или $\overline{\text{CS2}}$ равен 0, на выходе DD3 формируется сигнал с уровнем 0, открывающий для чтения регистры DD20,

DD21. При увеличении числа страниц необходимо задействовать дополнительные входы DD23.

Для буферизации ША можно использовать также микросхемы магистральных приемопередатчиков и шинных формирователей.

Сопряжение модуля ОЗУ с шиной данных реализовано на микросхемах шинных формирователей К589АП16 (DD18, DD19). Микросхема указанного вида имеет 4-разрядные входной и выходной каналы DI_1 — DI_4, DO_1 — DO_4, 4-разрядный двунаправленный канал DB_1 — DB_4. Передача информации обеспечивается при сигнале с уровнем логического 0 на входе CS. При наличии на входе CS сигнала с уровнем логической 1 все выходы переходят в третье состояние. Сигнал $\overline{CS}$ снимается с выхода DD23.

Направление передачи информации зависит от сигнала $\overline{MRDC}$, подаваемого на вход W/R: при 0 информация передается со входов DI на выходы DB, при 1 со входов DB на выходы DO. Следовательно, при $\overline{MRDC}=0$ информация с выходов микросхем ОЗУ поступает в шину данных, при $\overline{MRDC}=1$ из шины данных на входы микросхем ОЗУ.

Для буферизации шины данных можно использовать также микросхемы шинных формирователей других серий, например К555АП6, магистральные приемопередатчики К580ВА86, К580ВА87 (с инверсными выходами), К588ВА1 и др.

Другой вариант построения блока статического ОЗУ емкостью 8К байт приведен на рис. 3.2. Блок включает два субмо-

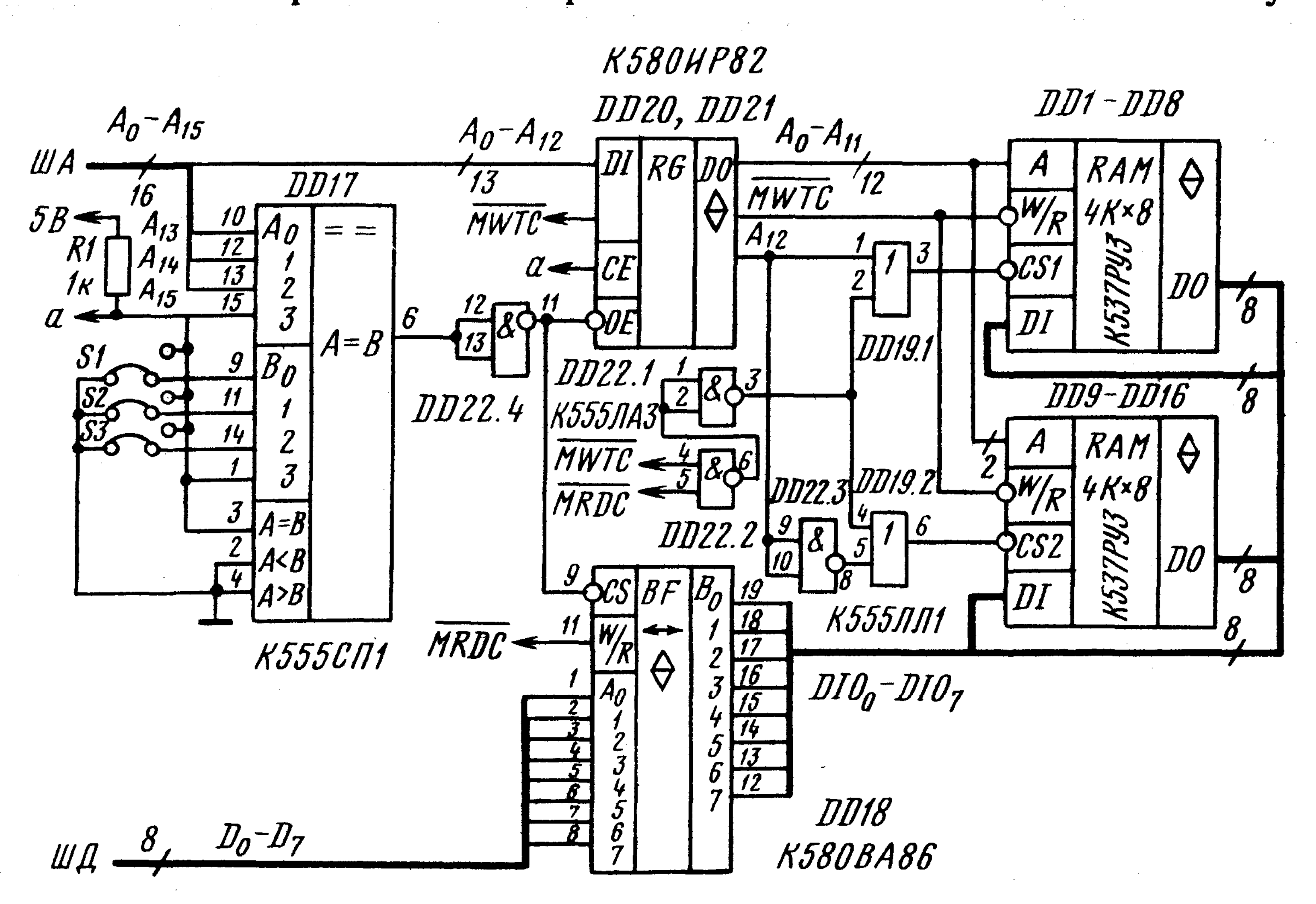


Рис. 3.2. Блок статического ОЗУ на микросхемах памяти с общими линиями ввода-вывода данных

дуля (страницы) памяти DD1 — DD8 и DD9 — DD16 по 4К байт каждый, буфер шины адреса DD20, DD21, буфер шины данных DD18, программируемое адресное устройство DD17 и логические элементы DD19 для формирования сигналов выбора страниц.

Субмодули построены так же, как на рис. 3.1, но с тем отличием, что у каждой микросхемы информационные вход DI и выход DO соединены и выведены на одну линию ШД. Кроме этого, здесь применены микросхемы тактируемых статических ОЗУ К537РУ3, которые требуют при каждом обращении к ним подачи импульсного сигнала на вход CS. Переход таких микросхем из режима хранения в активный режим записи или считывания осуществляется переключением сигнала $\overline{CS}$ из состояния 1 в состояние 0. После окончания операции записи или считывания для подготовки к следующему циклу необходимо установить сигнал $\overline{CS}$ в состояние 1.

Для обеспечения импульсных сигналов $\overline{CS1}$ и $\overline{CS2}$ в схеме блока ОЗУ предусмотрено стробирование элементов DD19.1 и DD19.2 импульсом, который формирует узел DD22.1, DD22.2 при импульсном воздействии на его входы сигналов $\overline{MWTC}$ при записи и $\overline{MRDC}$ при считывании информации.

Для выбора одной из двух страниц ОЗУ использован разряд A_{12} кода адреса: при 0 выбирается страница DD1 — DD8, при 1 — страница DD9 — DD16.

Буферизация ШД реализована на микросхеме DD18 магистрального приемопередатчика (МПП) КР580ВА86, который представляет собой 8-разрядный двунаправленный формирователь, обеспечивающий ток нагрузки до 32 мА и емкость 300 пФ. Микросхема имеет двунаправленный канал А, подключаемый к магистрали, и двунаправленный канал В, подключаемый к ОЗУ.

Выходы обоих каналов имеют три состояния. Каналы управляются сигналами направления передачи данных W/R и отключения $\overline{CS}$. Передача информации разрешена при $\overline{CS}=0$, причем если W/R=1, то направление передачи от канала А к каналу В, если W/R=0, то передача осуществляется от В к А. При $\overline{CS}=$ $=1$ выходы каналов переходят в третье состояние. Задержка передачи информации микросхемой МПП равна 30 нс. В рассматриваемом варианте объединены информационные входы и выходы микросхем ОЗУ одной 8-разрядной шиной так, что, например, к одной линии подключают DI_0 и DO_0 обоих субмодулей, образуя линию DIO_0, и т. д. Переключение направления передачи DD18 осуществляет сигнал $\overline{MRDC}$. В этом же качестве можно использовать сигнал DBIN с выхода микропроцессора КР580ВМ80А, предварительно инвертировав его.

Особенностью рассматриваемого блока ОЗУ является при-

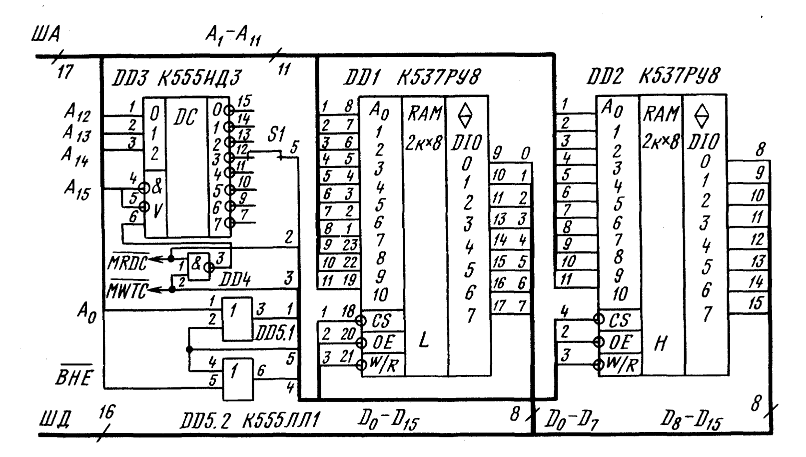


Рис. 3.3. Блок статического ОЗУ с интерфейсом И41 на микросхемах памяти с байтовой организацией

менение программируемого адресного устройства DD17. Оно представляет собой схему сравнения двух трехразрядных кодов. Опорный код $B_2B_1B_0$, устанавливаемый перемычками S1 — S3, является адресом данного блока ОЗУ. При совпадении кода с шины адреса A_{15} — A_{13} с опорным кодом схема сравнения формирует сигнал разрешения для регистров DD20, DD21 и магистрального приемопередатчика DD18. По этому сигналу код адреса A_{11} — A_0 поступает на адресные входы модуля ОЗУ, а его информационные входы и выходы коммутируются на шину данных. При отсутствии сигнала разрешения на входе DD17 модуль ОЗУ отключен от шины адреса и шины данных.

Пример построения блока ОЗУ с 16-разрядной шиной данных, ориентированного на интерфейс И41, приведен на рис. 3.3. Модуль ОЗУ состоит из двух банков памяти емкостью 2К байт каждый. Банк L (DD1) хранит младшие байты, банк H (DD2) — старшие байты. Информационные выводы DD1 подключены к младшим линиям D_0 — D_7 шины данных, а выводы DD2 — к старшим D_8 — D_{15}.

Управление доступом к банкам и режимом их работы осуществляют сигналами $\overline{MRDC}$, $\overline{MWTC}$, $\overline{BHE}$, A_0 в соответствии с табл. 3.1. Блок ОЗУ, как следует из таблицы, выполняет операции записи и считывания как 16-разрядного слова, так и любого из его двух байтов. Сигналы выбора банков формируют логические элементы DD5.1 и DD5.2 в зависимости от значения сигналов A_0, $\overline{BHE}$ и при наличии сигнала разрешения, снимаемого с выхода дешифратора DD3 в режиме обращения к ОЗУ, когда код A_{15} — A_{12} соответствует выделенной для блока ОЗУ области адресного пространства.

Таблица 3.1. **Режимы блока ОЗУ**

$\overline{BHE}$	A_0	$A_{12} - A_1$	$\overline{MWTC}$	$\overline{MRDC}$	Режим
0	0	A	0	1	Запись слова
0	0	A	1	0	Чтение слова
1	0	A	0	1	Запись L-байта
1	0	A	1	0	Чтение L-байта
0	1	A	0	1	Запись H-байта
0	1	A	1	0	Чтение H-байта
X	X	X	1	1	Блокировка (Отключено)

Поскольку модуль ОЗУ реализован на микросхемах памяти тактируемого типа К537РУ8, необходимо сигналы выбора банков формировать в форме импульса при каждом обращении к ОЗУ. С этой целью использованы сигналы $\overline{MRDC}$ и $\overline{MWTC}$, объединенные логическим элементом DD4, которые стробируют выход DD3 в каждом цикле обращения к памяти для записи или считывания информации.

Микросхемы К537РУ8, как и К537РУ9, РУ10, КМ581РУ5, имеют вход OE для сигнала считывания. Поэтому при использовании указанных микросхем памяти отсутствует необходимость в логике управления режимом записи и считывания: сигнал записи $\overline{MWTC}$ подается на вход W/R, а сигнал считывания $\overline{MRDC}$ на вход OE.

На рис. 3.3 не показаны буферы шин адреса и данных, но предполагается, что шины буферизованы. В качестве буферных регистров адреса для мультиплексирования адресной магистрали микропроцессора КМ810ВМ86 используют микросхемы КР1810ИР82 или КР1810ИР83 (с инверсными выходами), а также аналогичные им регистры серии К580, показанные на рис. 3.1.

Для буферизации шины данных применяют микросхемы КР1810ВА86 или КР1810ВА87, а также аналогичные им магистральные формирователи серии К580.

Пример включения микросхемы магистрального формирователя в шину данных показан на рис. 3.2. Для 16-разрядной шины данных требуются две такие микросхемы.

При использовании микросхем памяти, не имеющих специального входа для сигнала считывания, несколько усложняется схема устройства управления. Вариант построения блока ОЗУ на таких микросхемах приведен на рис. 3.4.

Модуль ОЗУ на микросхемах КР537РУ3 состоит из двух банков памяти, информационные входы и выходы которых соединены с 16-разрядной шиной данных через микросхемы К589АП16 (по две на каждый банк). Принципиальная схема подключения

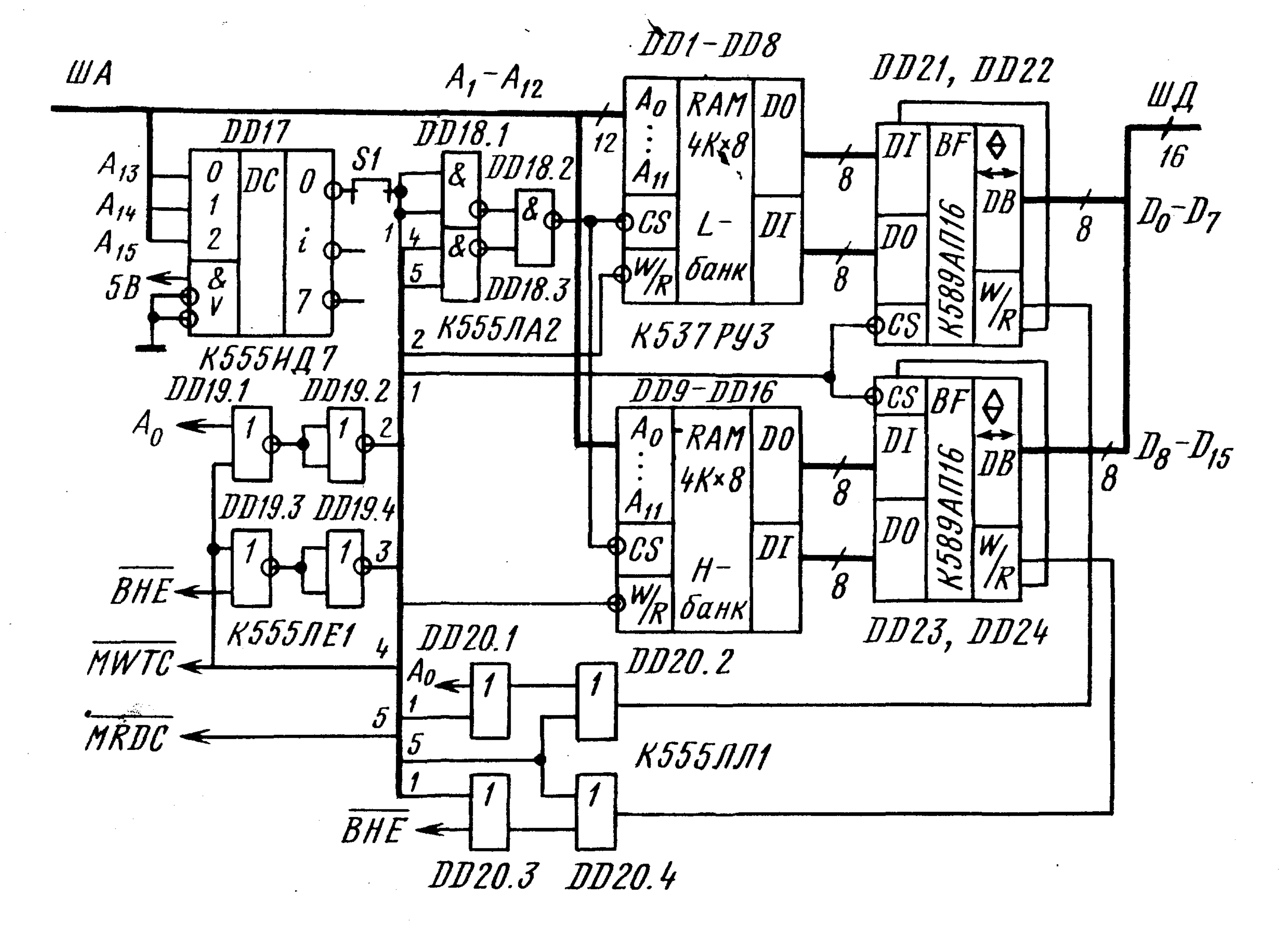


Рис. 3.4. Блок статического ОЗУ с интерфейсом И41 на микросхемах памяти с одноразрядной организацией

указанного шинного формирователя к ОЗУ и к магистрали показана на рис. 3.1.

Селектор адреса DD17 и логические элементы DD18.1 — DD18.3 при обращении к блоку ОЗУ формируют сигнал выбора для микросхем памяти и буферов шины данных DD21 — DD24. Причем сигнал выбора для модуля ОЗУ стробирован сигналами $\overline{\text{MRDC}}$ или $\overline{\text{MWTC}}$, что обусловлено принадлежностью микросхемы КР537РУ3 к группе микросхем памяти тактируемого типа.

Сигналы управления режимом записи и считывания для микросхем ОЗУ формируют логические элементы DD19, а для буферов ШД логические элементы DD20, обеспечивая работу блока ОЗУ в соответствии с табл. 3.1. В режиме записи сигнал $\overline{\text{MWTC}}=0$ поступает на входы W/R либо обоих банков памяти через элементы DD19, либо одного из них в зависимости от значения сигналов $\overline{\text{BHE}}$, A_0. Одновременно элементы DD20 формируют сигнал W/R=1 для буферов ШД, одного или обоих, которым обеспечивается направление передачи информации от канала DB к каналу DO, т. е. из шины данных в модуль ОЗУ.

В режиме считывания сигнал $\overline{\text{MWTC}}=1$ через элементы DD19 открывает для чтения данных оба банка памяти. Однако в ШД информация может поступить только через те буферы, которые будут иметь на входах W/R сигнал $\overline{\text{MRDC}}=0$, обеспечивающий направление передачи от канала DI к каналу DB, т. е. с выходов модуля ОЗУ в шину данных. Этот разрешающий

считывание данных в ШД сигнал формируют элементы DD20.2 и DD20.4 в зависимости от значений сигналов $\overline{BHE}$, A_0.

При отсутствии обращения к блоку ОЗУ, когда сигналы на входах CS микросхем памяти и буферов ШД имеют неактивное значение, равное логической 1, блок ОЗУ отключен от магистрали.

Перейдем к рассмотрению особенностей построения блоков ОЗУ при использовании магистрали МПИ. Вариант реализации блока статического ОЗУ на микросхемах памяти тактируемого типа К537РУ3 приведен на рис. 3.5.

Модуль ОЗУ построен по структурной схеме с двумя байтовыми банками: L-банка DD1 — DD8 и H-банка DD9 — DD16.

Банк состоит из восьми микросхем, у каждой из которых объединены информационный вход DI и выход DO одной линией. Таким образом у банков образовано по восемь совмещенных входов-выходов DIO, которые соединены с соответствующими линиями шины данных. Заметим, что применение микросхем памяти типа К537РУ8, РУ9, РУ10, имеющих байтовые совмещенные информационные входы-выходы, существенно упрощает схему блока ОЗУ и уменьшает число микросхем в нем. Кроме того, указанные микросхемы имеют вход для сигнала чтения, что позволяет использовать более простую схему управления режимами работы модуля ОЗУ.

Одноименные адресные входы банков объединены и выведены на шину адреса. Три старших разряда адресного кода $A_{13}A_{14}A_{15}$ использованы для адресации блока ОЗУ. Они подведены к адресному устройству (селектору адреса) DD17, назначение и работа которого были рассмотрены ранее.

Для выбора режима работы с банками служат сигналы A_0 и $\overline{WTBT}$, а режим записи и считывания задают сигналом $\overline{DOUT}$ при выполнении условия обращения к блоку ОЗУ, когда на выходе DD17, фиксированном перемычкой S1, появляется сигнал с уровнем логического 0.

Логика управления реализована на элементах DD18, DD19. Ключ DD26 нормально открыт для сигналов выбора банков. Он закрывается только при отключении или сбоях питания и формирует на своих выходах сигналы с уровнем логической 1, запрещающие доступ к банкам. Этот ключ вместе с устройством подключения буферного источника питания GB1 к микросхемам памяти обеспечивают сохранение информации в банках при отключении питания. Следует обратить внимание на то, что буферный источник питания через диод VD3 подключен к выводам питания всех микросхем памяти и ключа DD26. При пропадании напряжения 5 В диод VD3 открывается и указанные микросхемы оказываются под напряжением GB1, достаточным для сохранения информации.

Рассмотрим работу модуля ОЗУ в различных режимах.

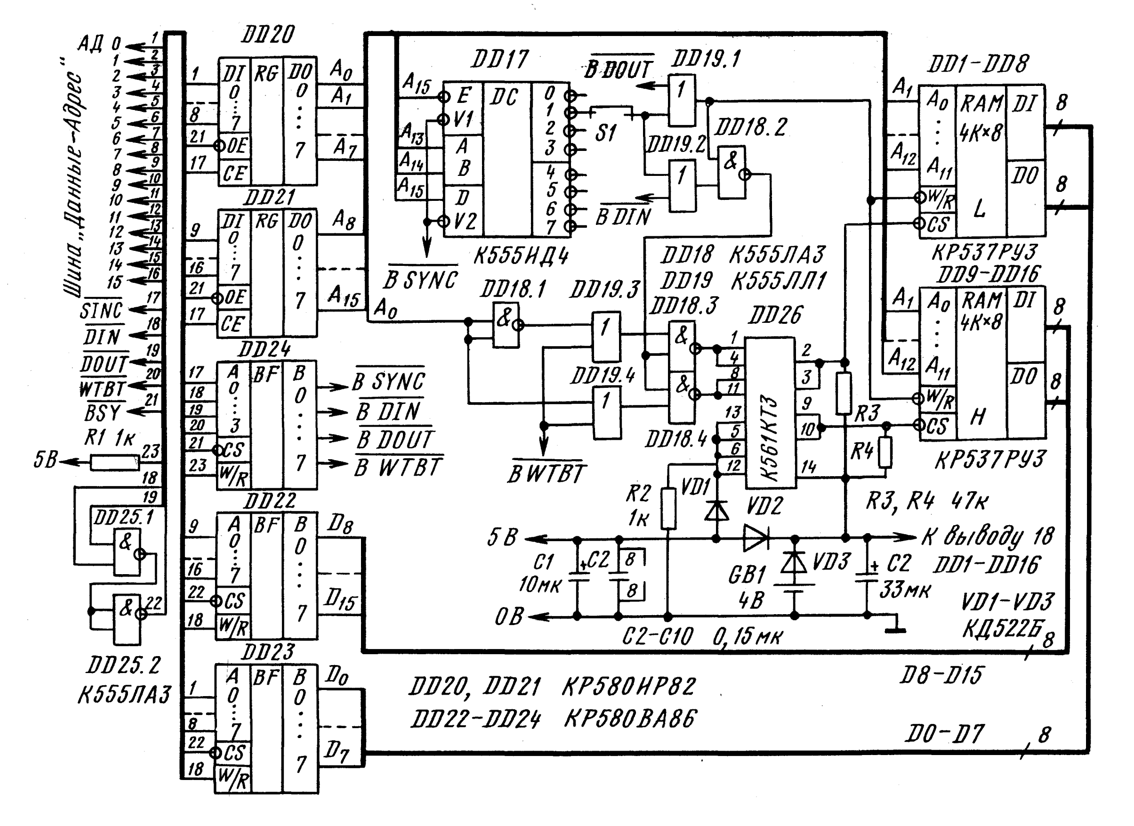


Рис. 3.5. Блок статического ОЗУ с интерфейсом МПИ

При активном значении сигнала $\overline{WTBT}$ реализуется режим работы с байтами, а выбор банка осуществляют сигналом A_0: при 0 открывается доступ к L-банку, при 1 к H-банку. Если сигнал $\overline{WTBT}$ принимает неактивное значение, то независимо от уровня сигнала A_0 открывается доступ к обоим банкам для записи или считывания 16-разрядного слова.

Для записи необходимо иметь активное значение сигнала $\overline{DOUT}$, который элементом DD19.1 передается на входы W/R обоих банков. Считывание осуществляется при неактивном значении сигнала $\overline{DOUT}$.

Сопряжение адресной шины и шины данных с общей шиной «Данные-Адрес» осуществляют регистры DD20, DD21 и магистральные формирователи DD22, DD23. Буфер DD24 необходим для повышения нагрузочной способности линий управления. С выходов DD24 снимают буферизованные сигналы управления функциональными узлами блока ОЗУ.

Взаимодействие общей шины с внутримодульными осуществляется следующим образом. Код адреса фиксируется в регистрах DD20, DD21, имеющих разрешающие уровни сигналов на входах CE и OE. Сигнал $\overline{BSY}$ формирует микропроцессор К1801ВМ1 на весь цикл обращения к памяти.

Возможен вариант подключения входа OE к точке с нулевым потенциалом. В таком случае выход регистра постоянно открыт для считывания.

К выходам регистров подключаются линии шины адреса, по которым передаются сигналы кода адреса банков памяти A_1 — A_{12}, блока памяти A_{13} — A_{15}, выбора банка памяти A_0.

Данные в общей шине для записи их в память появляются после кода адреса и поступают на входы как регистров, так и буферов ШД. Входы регистров в это время закрыты активным значением сигнала $\overline{SYNC}$, так что воздействие данные оказывают только на входы буферов DD22, DD23. Направление передачи буферов определяет сигнал $\overline{DIN}$, который при записи имеет уровень логической 1. Следовательно, данные передаются от канала A в канал B и далее в линии ШД. В режиме считывания данных из модуля ОЗУ в общую шину сигнал $\overline{DIN}$ с активным значением переключает направление передачи буферов от канала B к каналу A. Буферы открыты при обращении микропроцессора к блоку ОЗУ, когда сигнал $\overline{DIN}$ или $\overline{DOUT}$ имеет активные значения и в результате формируют с помощью элементов DD25.1 и DD25.2 сигнал доступа к буферам.

Буфер DD24 работает в режиме передачи от канала A к каналу B благодаря подключению к его входу W/R напряжения высокого уровня. Однако этот режим реализуется только при обращении микропроцессора к блоку ОЗУ, когда сигнал $\overline{BSY}$, действующий на вход CS буфера, принимает активное значение.

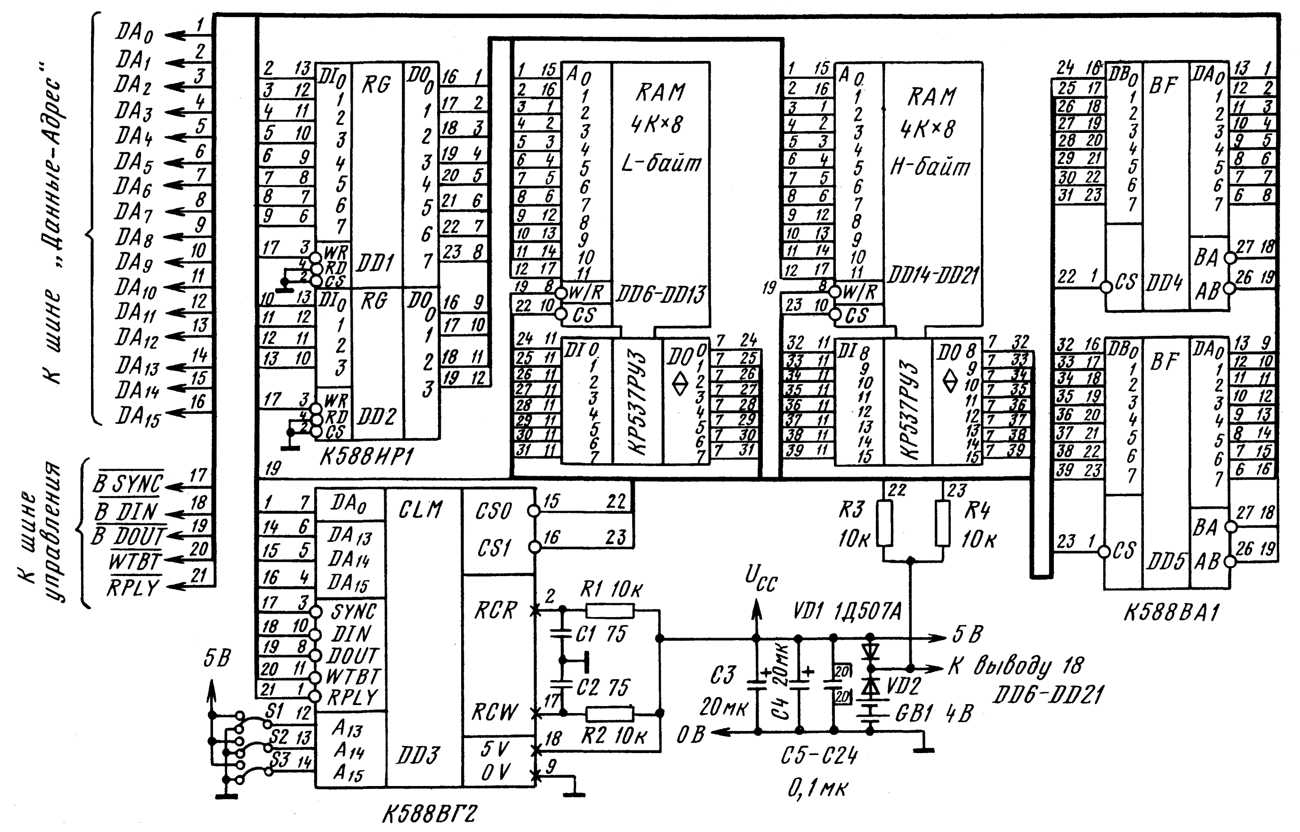


Рис. 3.6. Блок статического ОЗУ с контроллером К588ВГ2

Другой вариант построения блока статического ОЗУ, ориентированного на интерфейс МПИ, представлен принципиальной схемой на рис. 3.6 [3, 60]. Модуль памяти реализован на микросхемах К537РУ3 в виде двух банков памяти: L-банка DD6 — DD13 и H-банка DD14 — DD21 емкостью 4К байт каждый.

По структурной схеме данный модуль ОЗУ аналогичен рассмотренному выше (см. рис. 3.5). Его отличительной особенностью является наличие контроллера ЗУ (КЗУ) DD23, реализованного на микросхеме К588ВГ2 и предназначенного для выполнения всех управляющих функций.

Другая особенность рассматриваемой схемы блока ОЗУ состоит в применении КМДП-микросхем серии К588 для реализации всех интерфейсных функций. Внутримодульную шину адреса формируют регистры К588ИР1 DD1, DD2. Устройство и режимы работы этого регистра описаны в § 2.3 (см. рис. 2.19).

Шину данных формируют два магистральных приемопередатчика (МПП) К588ВА1 DD4, DD5. Направление передачи определяют сигналы на входах AB и BA, например, при $\overline{AB}=0$, $\overline{BA}=1$ передача данных осуществляется от канала A к каналу B. При $\overline{AB}=\overline{BA}=1$ выходы каналов переходят в третье (высокоомное) состояние.

Контроллер ЗУ предназначен для организации блоков ОЗУ и ПЗУ емкостью не менее 4К слов. В структуру КЗУ входит адресное устройство, программируемое перемычками S1 — S3. Сигналы DA_{13} — DA_{15} с общей шины адресуют КЗУ. При их совпадении с адресным кодом, установленным перемычками, КЗУ осуществляет один из четырех режимов обмена магистрали с блоком ОЗУ в зависимости от значений сигналов управления и сигнала DA_0 адреса байта (табл. 3.2).

Для согласования КЗУ с микросхемами памяти по временны́м параметрам служат RC-цепи, подключаемые к выводам RCR и RCW. Постоянные времени RC-цепей определяют задержку выдачи сигнала готовности данных $\overline{RPLY}$ относительно сигналов $\overline{CS0}$ и $\overline{CS1}$ при считывании (R1C1) и записи (R2C2) данных в ОЗУ. Параметры RC-цепей подбирают так, чтобы при $\overline{DIN}=0$ ответный сигнал $\overline{RPLY}$ не опережал выдачу данных

Таблица 3.2. **Таблица истинности КЗУ**

$\overline{SYNC}$	$\overline{DOUT}$	$\overline{DIN}$	$\overline{WTBT}$	DA_0	$\overline{CS0}$	$\overline{CS1}$	Режим ОЗУ
0	1	0	1	X	0	0	Чтение слова
0	0	1	1	X	0	0	Запись слова
0	0	1	0	0	0	1	Запись L-байта
0	0	1	0	1	1	0	Запись H-байта
1	X	X	X	X	1	1	Блокировка

из ОЗУ на ШД, а при $\overline{\text{DOUT}}=0$ обеспечивал запись данных в модуль ОЗУ.

Шина «Данные-Адрес» разделена регистрами DD1, DD2 и МПП DD4, DD5 на ША и ШД, к которым подключены соответствующие выводы модуля ОЗУ.

Буферизованные линии управляющих сигналов $\overline{\text{BSYNC}}$, $\overline{\text{BDIN}}$, $\overline{\text{BDOUT}}$, $\overline{\text{WTBT}}$ подключены к КЗУ, ко входам CS регистров ($\overline{\text{BSYNC}}$) и W/R микросхем памяти ($\overline{\text{BDOUT}}$) и ко входам управления направлением передачи МПП (BDIN, BDOUT).

В режиме обращения к блоку ОЗУ на шину «Данные-Адрес» подают код адреса. По сигналу $\overline{\text{BSYNC}}=0$ его 12 разрядов A_{12} — A_1 записываются в регистры DD1, DD2, а старшие разряды A_{15} — A_{13} и разряд A_0 поступают в КЗУ, где происходит сравнение поступившего кода с установленным перемычками S1 — S3. При совпадении кодов и в зависимости от сигналов управления формируются сигналы выбора $\overline{\text{CS0}}$ и $\overline{\text{CS1}}$ в соответствии с табл. 3.2, открывающие доступ для записи или считывания к модулю ОЗУ и МПП DD4, DD5.

В режиме считывания при формировании сигналов выбора напряжение на выводе RCR снижается до низкого уровня и затем нарастает с постоянной времени R1C1. При достижении этим напряжением определенного уровня и с приходом сигнала $\overline{\text{BDIN}}=0$ КЗУ формирует сигнал $\overline{\text{RPLY}}$ сопровождения данных, считываемых из ОЗУ в магистраль через МПП DD4, DD5, открытые в направлении BA сигналом $\overline{\text{BDIN}}$. При $\overline{\text{BDIN}}=1$ сигналы $\overline{\text{CS0}}$ и $\overline{\text{CS1}}$ переходят в состояние 1 и выборка ОЗУ прекращается. Выходы МПП переходят в третье состояние.

В режиме записи по сигналу $\overline{\text{BDOUT}}=0$ и в зависимости от состояния сигналов $\overline{\text{WTBT}}$ и DA_0 (табл. 3.2) формируются сигналы выбора $\overline{\text{CS0}}$, $\overline{\text{CS1}}$. Через открытые в направлении AB МПП DD4, DD5 данные поступают в ОЗУ. При этом напряжение на выводе RCW становится низкого уровня и затем нарастает с постоянной времени R2C2, вызывая с определенной задержкой сигнал $\overline{\text{RPLY}}=0$. При $\overline{\text{BDOUT}}=1$ выборка ОЗУ прекращается.

Цикл обращения к ОЗУ завершается при переходе сигнала $\overline{\text{BSYNC}}$ в 1. При этом входной регистр КЗУ открывается для приема кода адреса в следующем цикле обращения к блоку ОЗУ.

Применение контроллеров К588ВГ2 позволяет подключать к системной магистрали до восьми блоков, аналогичных рассмотренному, что обеспечивает расширение емкости памяти до 64К байт.

Для сохранения данных при отключении напряжения питания в блоке ОЗУ предусмотрены буферный источник напряжения GB1 и устройство его подключения (VD1, VD2, R3, R4) к микро-

схемам памяти при сбоях в питании. Принципиальная схема устройства несколько отличается от приведенной на рис. 3.5, но по принципу действия они аналогичны.

Рассмотренные варианты построения блоков ОЗУ показывают, что для сопряжения модуля ОЗУ с магистралью требуются дополнительные микросхемы, которые выполняют функции мультиплексирования линий магистрали, дешифрации кодов адреса, увеличения нагрузочной способности шин. Кроме того, сам модуль ОЗУ состоит из большого числа микросхем памяти, особенно при использовании микросхем с одноразрядной организацией.

Все это обусловливает значительные размеры блоков памяти, трудоемкость их изготовления и затрудняет разработку компактных встраиваемых электронных устройств с памятью.

Значительную часть указанных затруднений можно устранить, применив однокристальные блоки памяти со встроенным интерфейсом, к которым относится БИС статического ОЗУ К1809РУ1 емкостью 1К×16 бит (рис. 3.7). Краткая характеристика БИС приведена в § 2.1.

Микросхема К1809РУ1 ориентирована на магистраль МПИ и имеет 16 выводов для подключения линий шины «Данные-Адрес» и пять выводов для сигналов управления. Встроенный интерфейс обеспечивает возможность подключения к системной магистрали МПИ до 32 БИС без дополнительных микросхем [21].

По своей структуре и функциональным возможностям БИС аналогична блокам ОЗУ, приведенным на рис. 3.5 и 3.6. Выводы

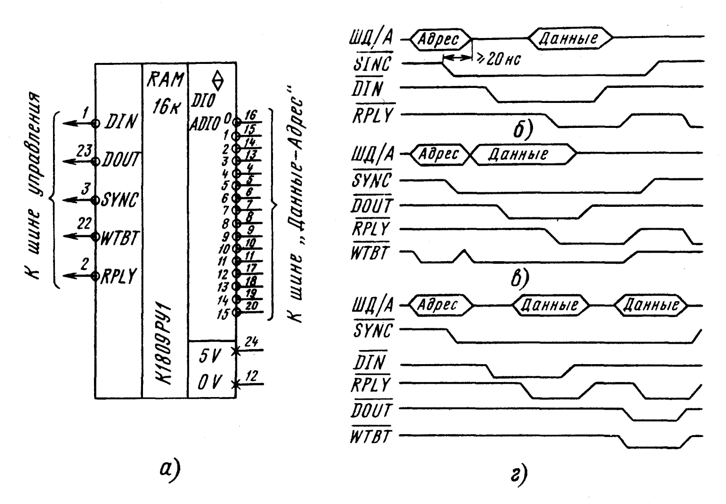


Рис. 3.7. Микросхема статического ОЗУ К1809РУ1 емкостью 1К×6 бит:

а — схема подключения к магистрали МПИ; *б* — временные диаграммы при считывании; *в* — в режиме записи; *г* — в режиме «Считывание-модификация-запись»

$ADIO_0$ — $ADIO_{15}$ в режиме адресации имеют следующее назначение: A_0 — A_9 — код адреса ячеек памяти накопителя БИС, A_{10} — бит блокировки записи: при 0 доступ к накопителю БИС для записи данных закрыт, при 1 — разрешен; A_{15} — бит адреса байта: при 0 адресуется младший байт, при 1 — старший; A_{11} — A_{15} — код адреса БИС.

Программирование адреса БИС осуществляют обращением к регистру адресного устройства по адресу FFFO и записи в него 5-разрядного кода. В дальнейшем при обращении к БИС в адресном устройстве компаратор сравнивает принятый код A_{15} — A_{11} и записанный в регистр адрес и при их совпадении разрешает режим обмена с магистралью. На рис. 3.7 представлены временные диаграммы, иллюстрирующие работу БИС в режимах считывания (рис. 3.7, *б*), записи байта (рис. 3.7, *в*), при записи слова сигнал $\overline{\text{WTBT}}$ имеет уровень 1, считывания слова и записи байта (рис. 3.7, *г*). Во всех режимах код адреса удерживают на шине относительно сигнала $\overline{\text{SYNC}}$ на время не менее 20 нс для его надежной записи в адресный регистр БИС.

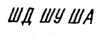
В режиме считывания (рис. 3.7, *б*) выбранное из накопителя слово сохраняется выходным регистром и выдается на шину по сигналу $\overline{\text{DIN}}$ в сопровождении сигнала $\overline{\text{RPLY}}$. В режиме записи слова или байта данные поступают в накопитель при наличии разрешения на запись, которое содержит адресный сигнал $\overline{A}_{10}$. При отсутствии такого разрешения БИС работает только в режиме считывания аналогично ПЗУ.

Микросхема К1809РУ1 электрически и конструктивно совместима с микропроцессорными БИС серии К1801. На основе названных БИС построены одноплатные микроЭВМ нового поколения семейства «Электроника С5», в частности микроконтроллеры «Электроника С5-41», в которых на основе микросхемы К1809РУ1 реализовано статическое ОЗУ емкостью (8 ... 12)К×16 бит. Совместно с данной микросхемой в микроконтроллерах применены микросхемы К1809РЕ1 масочного ПЗУ емкостью 4К×16 бит и К573РФ3 (см. § 4.1, 4.3). Положительной особенностью названных микросхем является то, что они, имея встроенный интерфейс, могут быть непосредственно подключены к системной магистрали и позволяют, таким образом, формировать блоки ОЗУ и ПЗУ требуемой емкости без дополнительных функциональных узлов.

3.2. Построение динамических ОЗУ

Для построения блоков оперативной памяти динамического типа применяют микросхемы динамических ОЗУ (см. § 2.2).

Эти микросхемы имеют ряд особенностей, существенно от-



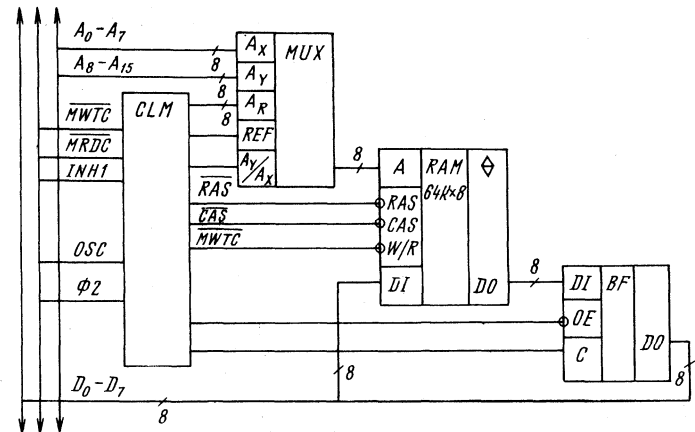


Рис. 3.8. Блок динамического ОЗУ

личающих их от микросхем статических ОЗУ: мультиплексирование адресного кода, более сложные временны́е диаграммы сигналов управления, регенерация хранимой информации, значительное рассогласование входов и выходов с ТТЛ-линиями по сопротивлению и возможность появления помех типа отражений, к которым динамические микросхемы весьма чувствительны.

Указанные особенности микросхем памяти оказывают значительное влияние на структурные и схемотехнические решения при построении динамических ОЗУ, а также на режимы их работы. Как и для статических ОЗУ, задача реализации динамических ОЗУ многовариантна. Поэтому способы ее решения рассмотрим на некоторых примерах, обратив основное внимание на применение микросхем памяти и режимы управления их работой.

На рис. 3.8 приведена структурная схема блока динамического ОЗУ емкостью 64К байт для 8-разрядных микропроцессорных устройств, реализованных на комплекте БИС К580. Варианты реализации функциональных узлов приведены на рис. 3.9 и 3.10 [30].

Модуль памяти (рис. 3.9) DD1 — DD8 построен на микросхемах К565РУ5 путем соединения их одноименных выводов, кроме информационных. Сигналы RAS и CAS формирует контроллер ОЗУ CLC (рис. 3.10), сигнал MWTC с шины управления подан на вход W/R. Для снижения степени рассогласования с ТТЛ управляющими элементами целесообразно подключение всех адресных и управляющих линий ко входам микросхем памяти осуществлять через резисторы с сопротивлением 20 ... 30 Ом [28].

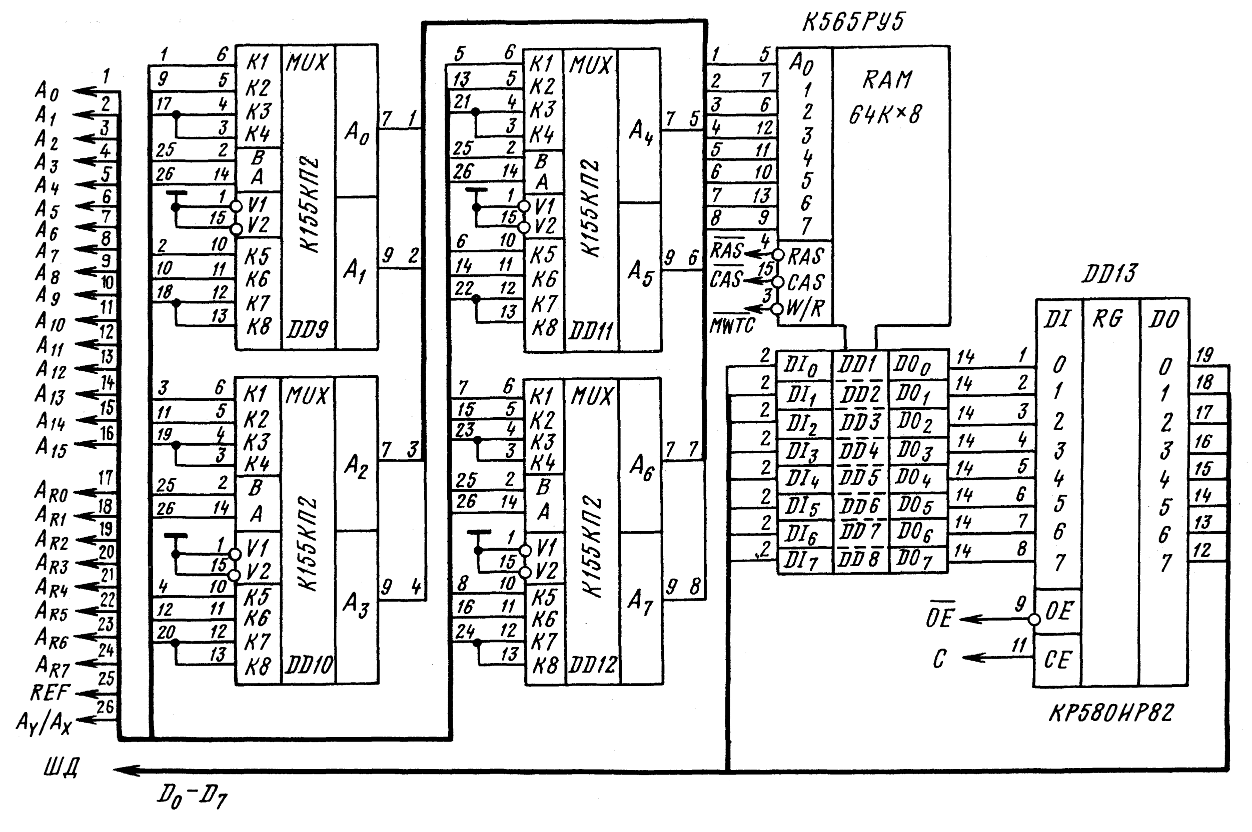


Рис. 3.9. Блок динамического ОЗУ с мультиплексором кода адреса

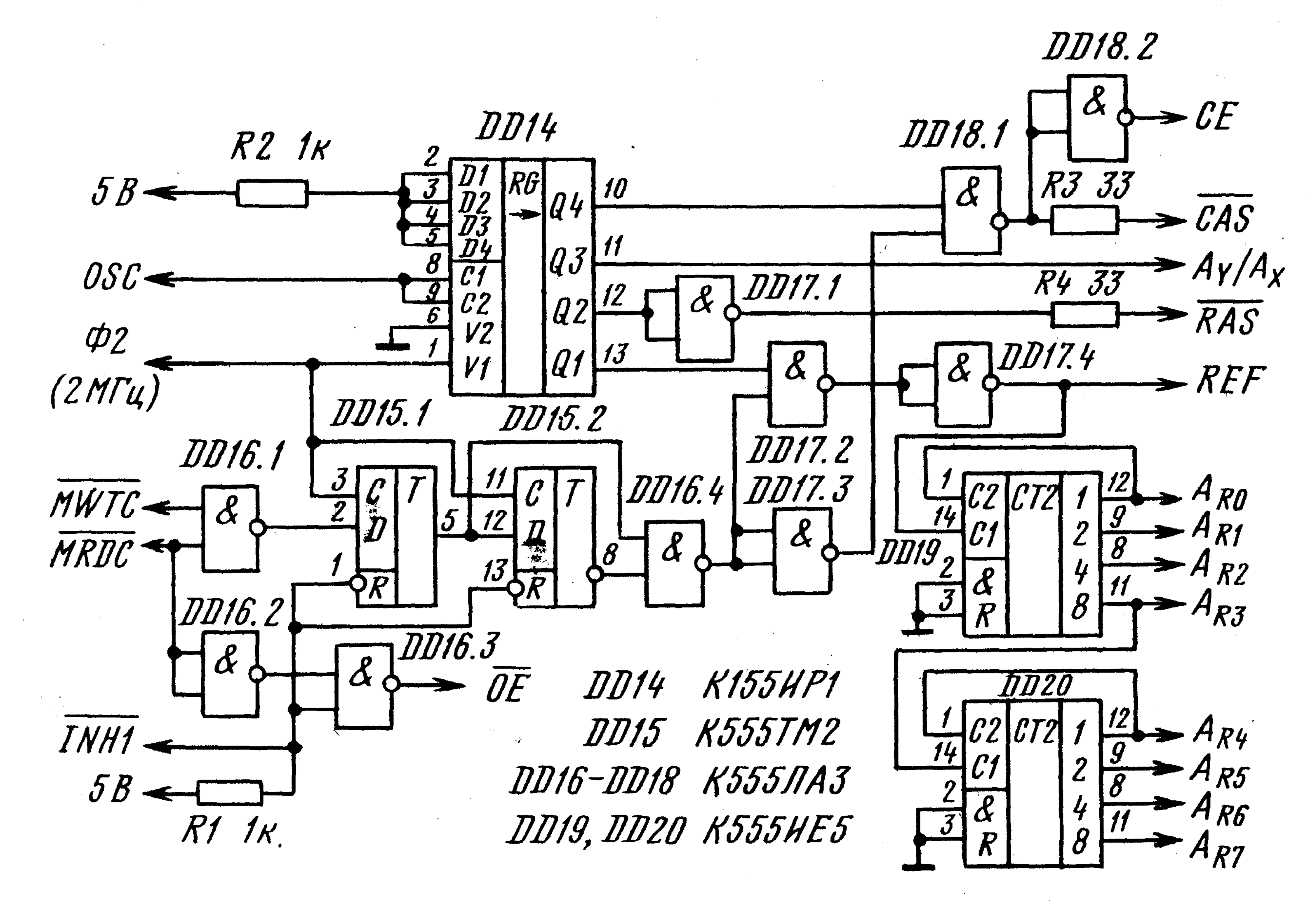


Рис. 3.10. Контроллер динамического ОЗУ

Буфер выходных данных DD13 реализован на параллельном 8-разрядном регистре К580ИР82. Он может быть построен также на других регистровых микросхемах (табл. 2.14), магистральных приемопередатчиках, например К580ВА86, или многорежимных буферных регистрах. Сигналы управления регистром вырабатывает контроллер ОЗУ. Сигнал $\overline{OE}$ управляет выходами: при 0 они открыты для считывания, при 1 — переходят в третье состояние, сигнал CE управляет входами: при 1 они открыты для записи, при 0 — блокированы.

В рассматриваемом варианте реализации блока ОЗУ буферизованы только его выходные линии. Возможны и другие способы соединения модуля ОЗУ с шиной данных: через буферы входных и выходных информационных линий, как на рис. 3.1, или через магистральный приемопередатчик типа К580ВА86 с объединением информационных входа и выхода каждой микросхемы, как на рис. 3.2 и 3.5.

Мультиплексор DD9 — DD12 обеспечивает последовательный во времени ввод адресного кода строк A_X $\{A_0 — A_7\}$ и столбцов A_Y $\{A_8 — A_{15}\}$ в модуль ОЗУ. Адресные сигналы поступают на входы К1, К2 и К5, К6 мультиплексорных микросхем (см. рис. 3.9) и коммутируются на выходы под управлением сигнала на входе $A(A_Y/A_X)$ при наличии на другом управляющем входе B(REF) уровня 0. Условия коммутации адресных сигналов: при $A_Y/A_X=0$ к выходам подключаются каналы К1, К5 и, следова-

тельно, на адресные входы ОЗУ поступает адрес строк A_X, при $A_Y/A_X = 1$ к выходам подключаются каналы К2, К6 и к ОЗУ направляется код адреса столбцов A_Y.

Сигналы управления: REF — признак режима регенерации и A_Y/A_X — сигнал мультиплексирования каналов, вырабатывает контроллер.

В режиме регенерации REF = 1 и мультиплексор коммутирует на выходы при изменении A_Y/A_X каналы К3, К4 и К7, К8. Но так как указанные каналы попарно соединены, то на результат коммутации сигнал A_Y/A_X влияния не оказывает: при любых его значениях на выходы мультиплексора поступают адреса регенерации A_R, вырабатываемые счетчиком DD19, DD20 контроллера. Эти сигналы адресуют только строки, сигналы адреса столбцов в этом режиме на адресных входах отсутствуют.

Для реализации мультиплексора, кроме К155КП2, могут быть использованы микросхемы К555КП2, К555КП12 без изменения разводки посадочного места на печатной плате.

Контроллер ОЗУ (рис. 3.10) включает узел DD14 — DD18 формирования сигналов управления модулем ОЗУ и мультиплексором адреса и узел DD19, DD20 формирования 8-разрядного адресного кода регенерации A_{R0} — A_{R7}.

Временные диаграммы формируемых контроллеров сигналов управления приведены на рис. 3.11. Задающими являются выходные сигналы генераторной микросхемы КР580ГФ24 OSC с частотой 18 МГц и Ф2 с периодом 0,5 мкс. Входными для контроллера являются также сигналы $\overline{MWTC}$, $\overline{MRDC}$, $\overline{INH1}$, которые поступают из шины управления.

Сигналы управления мультиплексором формируют регистр DD14 и схема управления режимом обращения к модулю ОЗУ на элементах DD15, DD16. При обращении к ОЗУ на выходе DD16.1 появляется 1, которая по переднему фронту Ф2 записывается в DD15.1 и появляется на выходе этого триггера. Второй триггер DD15.2 сохраняет свое нулевое состояние, имея на инверсном выходе 1. Поэтому выход DD16.4 переходит в состояние 0 и обеспе-

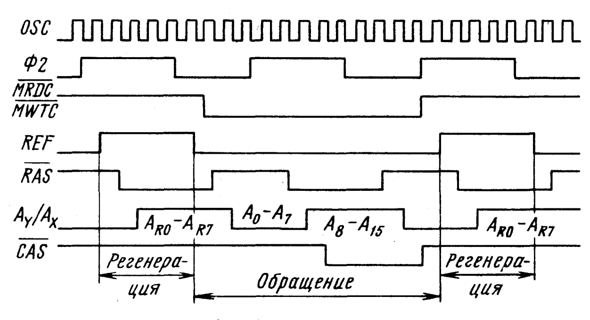


Рис. 3.11. Временные диаграммы сигналов управления

чивает REF = 0, при котором мультиплексор коммутирует на адресные входы ОЗУ адреса строк A_X и столбцов A_Y. Ввод этих адресов в микросхему производят сигналы $\overline{RAS}$ и $\overline{CAS}$, которые формируют регистр DD14 и дополнительные логические элементы DD17.1, DD18.1 так, чтобы было выполнено требование по временно́му сдвигу сигнала $\overline{CAS}$ относительно $\overline{RAS}$.

Одновременно с указанными сигналами в режиме обращения формируются сигналы CE = 1 и $\overline{OE}$ = 0 (при $\overline{MRDC}$ = 0), обеспечивающие обмен модуля ОЗУ с шиной через буферный регистр DD13 для записи в ОЗУ (CE = 1, $\overline{OE}$ = 1 и выход DD13 отключен) и считывания из ОЗУ (CE = 1, $\overline{OE}$ = 0) информации.

В конце цикла обращения к ОЗУ, как видно из рис. 3.11, контроллер формирует сигнал регенерации REF = 1, который через мультиплексор коммутирует выходы счетчика DD19, DD20 на адресные входы ОЗУ и таким образом обеспечивает регенерацию информации в ЭП адресуемой строки каждой микросхемы памяти. По окончании сигнала REF счетчик адреса регенерации переходит в следующее состояние и формирует на своих выходах адрес очередной строки.

При отсутствии обращения к ОЗУ ($\overline{MWTC}$ = 1, $\overline{MRDC}$ = 1) или при наличии сигнала запрета $\overline{INHI}$ = 0 блок ОЗУ работает только в режиме регенерации. С каждым тактом Ф2 контроллер формирует сигналы $\overline{RAS}$, REF и код адреса очередной строки и инициирует работу модуля памяти по циклу регенерации.

Процесс регенерации прекращается при обращении микропроцессора к ОЗУ, и контроллер обрабатывает требование микропроцессора. В конце цикла обращения контроллер переводит блок ОЗУ в режим регенерации, продолжая этот процесс с адреса, на котором он был прерван.

Регенерация, осуществляемая по описанному алгоритму, получила название «прозрачной»: она незаметна для микропроцессора и не снижает скорость обработки программ. Условием для применения этого способа является наличие временны́х интервалов между двумя любыми обращениями микропроцессора к ОЗУ, достаточных для проведения одного цикла регенерации, т. е. регенерации при обращении к модулю ОЗУ по одному адресу.

Алгоритмом работы микропроцессора К580ВМ80 такие интервалы предусмотрены: минимальный цикл между двумя любыми обращениями к памяти состоит из трех тактовых периодов сигнала Ф2. При номинальной частоте генератора К580ГФ24 18 МГц длительность такта Ф2 равна 0,5 мкс. Если учесть, что на выполнение одного цикла регенерации микросхем К565РУ5 Б-Д требуется время 230 ... 460 нс (табл. 2.13), то очевидна возможность реализации в микропроцессорных устройствах на комплекте БИС К580 способа «прозрачной» регенерации.

При этом способе время полной регенерации ОЗУ емкостью

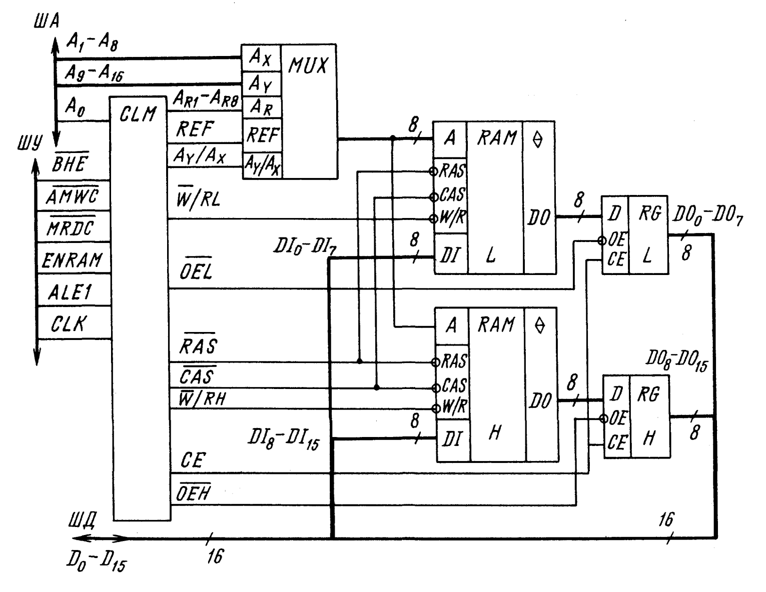


Рис. 3.12. Блок динамического ОЗУ с интерфейсом И41

64К слов, рассчитанное с учетом того, что для регенерации по одному адресу в системе отведен один такт Ф2, составит около 200 мкс. Это время много меньше допустимого периода регенерации микросхем серии К565.

Структурная схема блока ОЗУ емкостью 128К байт на микросхемах К565РУ5 приведена на рис. 3.12, второй вариант реализации контроллера CLM показан на рис. 3.13 [31]. Структура ОЗУ ориентирована на 16-разрядный интерфейс И41 и включает два байтовых банка данных, имеющих раздельные входы управления режимом $\overline{W}/R$, два буферных регистра с раздельным управлением разрешения выхода $\overline{OE}$, мультиплексор и контроллер. Мультиплексор, субмодули ОЗУ (банки), буферные регистры аналогичны приведенным на рис. 3.9. Контроллер (рис. 3.13) отличается от варианта на рис. 3.10, прежде всего, наличием формирователей сигналов управления банками ОЗУ $\overline{W}/RL$ и $\overline{W}/RH$ и буферными регистрами OEL и OEH .

При реализации контроллера по схеме на рис. 3.13 необходимо предусмотреть сопряжение выходов К561ИЕ10 со входами ТТЛ микросхем с помощью буферного каскада, например, на микросхемах К561ПУ4.

Несколько иначе построены схемы формирования и других управляющих сигналов, но эти отличия не имеют принципиального значения, а введены для расширения конкретных примеров схемотехнических решений по реализации контроллера ОЗУ.

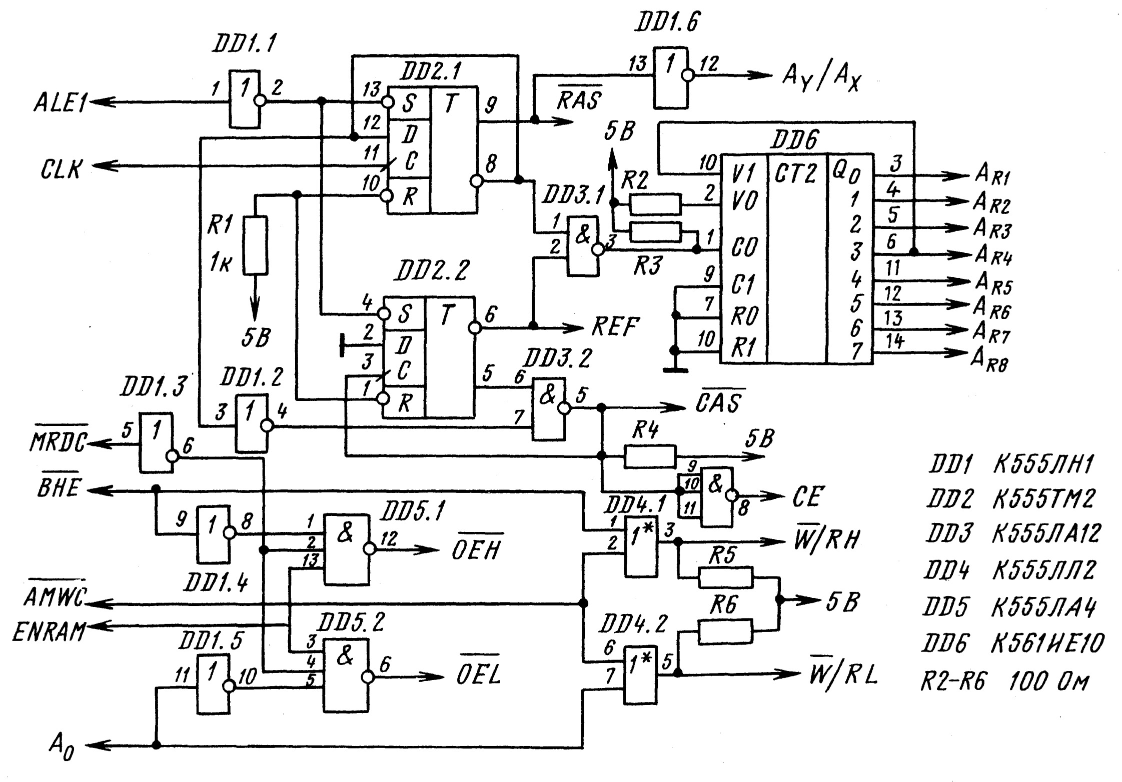


Рис. 3.13. Принципиальная схема контроллера динамического ОЗУ (рис. 3.12)

Другой вариант контроллера с аналогичными функциями рассмотрен в [29].

Режим обращения к модулю ОЗУ инициируется сигналами ENRAM (разрешения обращения к ОЗУ), ALE1 (задержанный на 60 нс сигнал ALE — строб съема адреса с шины адреса системной магистрали), $\overline{AMWC}$ (сигнал упреждающего на такт управления режимом записи данных в ОЗУ, по значению аналогичный сигналу $\overline{MWTC}$, $\overline{MRDC}$ (сигнал управления чтением данных из ОЗУ).

Тактовые импульсы CLK генерирует микросхема КР1810ГФ44 с частотой 5 МГц.

Режим адресации ячеек модуля определяют сигналы: внешние CLK, ALE1 и формируемые контроллером $\overline{RAS}$, A_Y/A_X, $\overline{CAS}$, REF (рис. 3.14). С приходом ALEI триггеры DD2.1, DD2.2 устанавливаются в единичное состояние, что вызывает появление на инверсном выходе DD2.2 REF=0 (запрет регенерации) и на выходе DD1.6 сигнала A_Y/A_X=0 передачи младшего байта A_1—A_8 адреса на адресные входы модуля ОЗУ. Заметим, что адресный код A_0—A_{19} и сигнал BHE записаны в буферные регистры системной магистрали и выставлены на линии ША и ШУ стробом ALE. В контроллере (рис. 3.13) сигнал ALE1 выполняет также роль строба: он однозначно устанавливает состояние триггеров DD2, фиксируя тем самым начало цикла обмена. Снятие сигнала ALE1 разблокирует триггеры DD2, в результате на выходе DD2.1, работающего в счетном режиме, формируется сигнал $\overline{RAS}$, обеспечивающий ввод в модуль ОЗУ адреса строк A_X {A_1 — A_8}. На рис. 3.14 показано время удержания адреса A_X относительно сигнала $\overline{RAS}$, оно обеспечено элементом DD1.6 и мультиплексором DD9 —

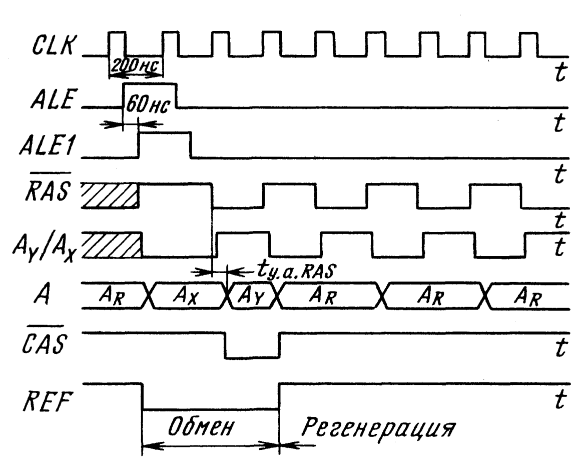


Рис. 3.14. Временные диаграммы сигналов управления динамическим ОЗУ (рис. 3.12)

DD12 (см. рис. 3.9) и достаточно для фиксации адреса строк на входном регистре в структуре микросхем памяти. С переключением DD2.1 меняется состояние сигнала A_Y/A_X на 1 и на выходы мультиплексора передается адрес столбца A_Y $\{A_9 - A_{16}\}$, который вводится в модуль ОЗУ стробирующим сигналом $\overline{CAS}$, формируемым элементом DD3.2.

С окончанием сигнала $\overline{CAS}$ триггер DD2.2 переходит в нулевое состояние, на его инверсном выходе формируется сигнал регенерации REF, переключающий на выходы мультиплексора адресный код регенерации $A_{R1} - A_{R8}$, формируемый счетчиком DD6 с частотой следования сигналов $\overline{RAS}$. При регенерации вводится только адрес строк, поэтому в этом режиме $\overline{CAS}=1$.

Режим доступа к модулю ОЗУ и управления его работой обеспечивают сигналы $\overline{BHE}$, A_0, $\overline{AMWC}$, которые формируют на выходах DD4.1 и DD4.2 сигналы управления режимом банков ОЗУ для записи-считывания старшего байта $W/\overline{R}H$, младшего байта $W/\overline{R}L$ или двухбайтового слова $W/\overline{R}H = W/\overline{R}L$.

Сигналы ENRAM, $\overline{MRDC}$ вместе с $\overline{BHE}$, A_0 формируют на выходах DD5.1, DD5.2 сигналы управления выходами буферных регистров для вывода в режиме чтения байта из L-банка $\overline{OEL}=0$, из H-банка $\overline{OEH}=0$ или обоих банков одновременно $\overline{OEL}=$ $=\overline{OEH}=0$. Условием выполнения режима обмена является наличие сигнала CE разрешения входа буферного регистра. Этот сигнал формирует DD5.3 из сигнала $\overline{CAS}$.

Как видим, выбор банка памяти производят сигналы $W/\overline{R}$. Часто с этой целью используют сигналы $\overline{CAS}$, формируя их дешифратором старших разрядов адресного кода [30].

При отсутствии обращения к модулю ОЗУ он работает только в режиме регенерации. Контроллер формирует адреса регенерации, сигналы $\overline{RAS}$, REF и A_Y/A_X.

Регенерация будет производиться до очередного обращения к блоку ОЗУ, когда ALE1 = 1 и контроллер без задержки переходит в режим обмена. Следовательно, в рассмотренном модуле ОЗУ реализован способ «прозрачной» регенерации.

Использование данного способа существенно затруднено при повышении тактовой частоты микропроцессора или при конвейерной организации выборки команд, когда длительность интервалов между обращениями к памяти недостаточна для цикла регенерации. В таких случаях реализуют алгоритмы «пакетной» или чаще всего распределенной регенерации. Алгоритм «пакетной» регенерации предполагает выполнение полной регенерации микросхемы в непрерывном интервале времени и вывод, таким образом, блока ОЗУ из режима обмена в каждый период регенерации на значительное время. В этом состоит основной недостаток способа [28].

Способ распределенной регенерации состоит в том, что после обращения для регенерации по одному адресу микросхема откры-

вается для режима обмена. Таким образом повышается степень «прозрачности» блока ОЗУ для микропроцессора.

Рассмотренные варианты построения динамических ОЗУ показывают, что наиболее трудоемкой является задача разработки контроллеров. Поэтому целесообразно использовать уже готовые устройства, изготовляемые в виде микросхем. В частности, для управления динамическим ОЗУ, реализованном на микросхемах К565РУ3, К565РУ6, предназначен контроллер К1801ВП1-030. Эта микросхема выполняет операции приема, хранения и преобразования адреса для ОЗУ, регенерации модуля ОЗУ, осуществляет связь модуля ОЗУ и буфера данных с магистралью МПИ (типа «Электроника-60») [61].

Некоторое упрощение контроллеров обеспечивают встраиваемые в кристалл динамического ОЗУ функциональные узлы, обеспечивающие проведение регенерации. В микросхеме К565РУ7 встроенный счетчик генерирует адреса регенерации. Для управления этим счетчиком используют режим «$\overline{CAS}$-перед-$\overline{RAS}$» [23]. Таким образом, контроллер блока ОЗУ на микросхемах К565РУ7 может быть построен по рассмотренным структурным решениям с регенерацией сигналом $\overline{RAS}$ путем их некоторого усложнения: увеличения разрядности счетчика регенерации и числа каналов мультиплексора [33]. Но он может быть построен и по более простой схеме с использованием режима «$\overline{CAS}$-перед-$\overline{RAS}$» и встроенного в кристалл К565РУ7 счетчика адресов регенерации.

3.3. Устройство задержки цифровых сигналов

Микросхемы памяти статического и динамического типа с одноразрядной организацией можно эффективно использовать для выполнения функции задержки цифровых сигналов. Принцип построения такого устройства на микросхемах динамического ОЗУ иллюстрирует рис. 3.15.

Собственно элементом задержки является микросхема ОЗУ или несколько микросхем, объединенных для увеличения емкости по правилам, рассмотренным в § 3.1, 3.2. Для обеспечения работы микросхемы памяти необходимы генератор тактовых импульсов, двоичный счетчик и другие узлы для формирования адресных и управляющих сигналов.

Генератор и двоичный счетчик формируют последовательность

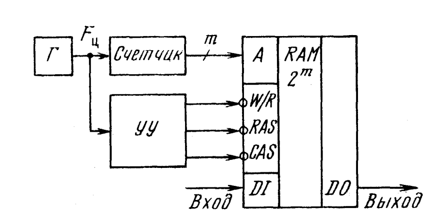


Рис. 3.15. Применение динамического ОЗУ для задержки цифровых сигналов

адресных кодов с тактовой частотой $F_ц$ и, следовательно, с периодом их следования $T_ц = 1/F_ц$. Синхронно с адресным кодом формируются сигналы управления. Микросхема должна работать в режиме «Считывание-модификация-запись», при котором по одному адресу считывается бит информации и затем производится запись нового бита, поступившего на вход микросхемы (см. § 2.2, рис. 2.9). Таким образом, цифровые сигналы, записанные в накопитель при одном переборе всех адресов 2^m, где m-разрядность адресного кода, будут считаны из него при следующем переборе адресов. Время заполнения накопителя 2^m Тц и составляет время задержки цифровых сигналов рассмотренным устройством.

Временем задержки можно управлять, изменяя емкость накопителя и тактовую частоту.

Вариант реализации устройства задержки на микросхемах К565РУ6 приведен на рис. 3.16 [36, 37]. Четыре микросхемы памяти DD15 — DD18 объединены в модуль емкостью 64К бит. Модуль может быть запрограммирован на четыре значения времени задержки с помощью дешифратора DD14 двух старших разрядов адресного кода A_{15}, A_{16} и переключателя SA1.

Формирование адресных сигналов A_1 — A_{16} осуществляет двоичный счетчик DD6 — DD9, причем в зависимости от положения переключателя SA1 два старших разряда могут принимать различные значения: при положении 4 счетчик формирует полный набор комбинаций 16-разрядного адресного кода. В этом режиме дешифратор DD14, имея на своих входах A, B все возможные комбинации сигналов A_{15}, A_{16}, формирует последовательно стробы $\overline{CAS}$ для всех четырех микросхем памяти. Таким образом, используется вся емкость модуля ОЗУ и тем самым обеспечивается наибольшая длительность задержки сигналов. В другом крайнем положении 1 переключателя адресные сигналы A_{15}, A_{16} имеют нулевые значения и не участвуют в формировании адресных кодов. Поэтому сигнал выбора микросхемы формируется только на одном выходе дешифратора DD14 (вывод 7). Следовательно, в формировании длительности задержки участвует только одна микросхема памяти DD15 емкостью 16К бит. Промежуточные положения 3 и 2 переключателя SA1 обеспечивают включение в режим формирования задержки трех и двух микросхем соответственно.

Генератор на элементах DD1.1 и DD1.2 формирует колебания с частотой 4 МГц, которые счетчиком DD2 преобразуются в четыре последовательности импульсов с частотами 2, 1 МГц, 500 и 250 кГц. Последовательность импульсов с частотой 250 кГц является входной для адресного формирователя DD6 — DD9 и формирователя сигнала $\overline{RAS}$ на R5, C3, C4 и DD4.1, задержанного на 200 нс относительно сигнала тактовой частоты для обеспечения надежной записи адреса в микросхему памяти. При использовании других микросхем в рассматриваемых функциональных узлах необходимо в расчет задержки сигнала $\overline{RAS}$ принимать требуе-

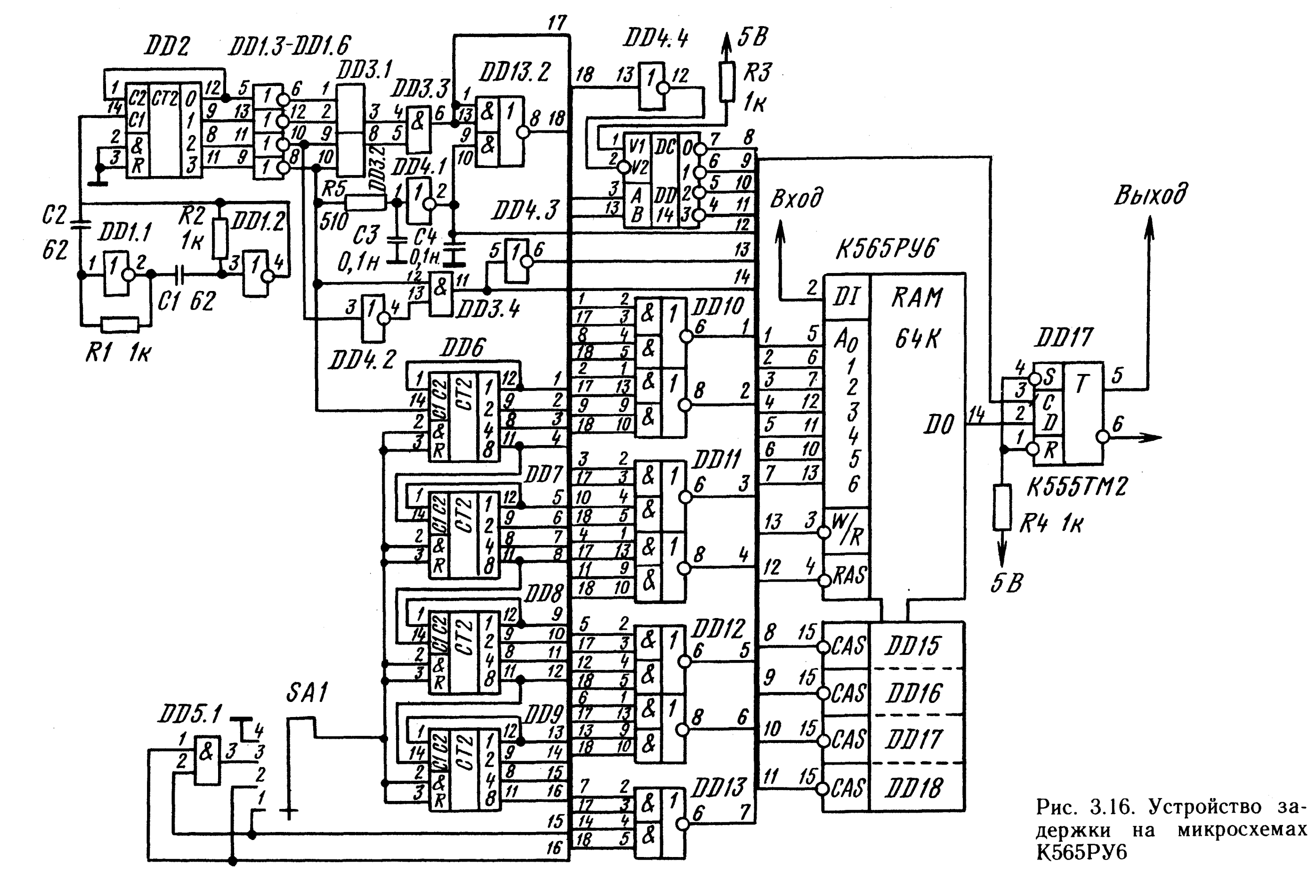


Рис. 3.16. Устройство задержки на микросхемах К565РУ6

мое значение временно́го параметра $t_{у.а.RAS}$ микросхемы памяти (табл. 2.13).

Импульсные последовательности 250 и 500 кГц используются для формирования сигнала $\overline{W}/R$ (DD4.2, DD3.4, DD4.3) и тактового сигнала для выходного буферного триггера DD17.

Адресный код подводится к микросхемам памяти через мультиплексор DD10 — DD13.1, управляемый сигналами, которые формируют элементы DD3.3 и DD13.2. Вначале в микросхемы памяти вводится адрес строки A_1 — A_7, сопровождаемый сигналом $\overline{RAS}$, затем адрес столбца A_8 — A_{14}, сопровождаемый сигналом $\overline{CAS}$ при активном уровне сигнала $\overline{RAS}$. Сигнал $\overline{CAS}$ здесь является и сигналом выбора микросхемы.

Регенерация содержимого микросхем памяти происходит в каждом цикле обращения. Длительность цикла 4 мкс. Следовательно, адресация всех строк микросхем осуществляется за время 0,5 мс, что значительно меньше максимально допустимого периода регенерации, равного 1 или 2 мс в зависимости от типа микросхемы (см. табл. 2.13).

Возможности рассмотренного устройства по задержке цифровых сигналов определяются положением переключателя SA1 и составляют 65,5; 131; 196,6; 262 мс при положениях от 4 до 1 соответственно. Очевидно, эти возможности могут быть легко расширены увеличением числа микросхем памяти и введением соответствующих изменений в схему контроллера: увеличением разрядности счетчика-формирователя адресов, дешифратора DD14 и числа позиций переключателя SA1.

Применение описанного устройства особенно эффективно при необходимости формирования длительных задержек, когда применение регистровых цепей становится нецелесообразным по ряду причин, в том числе из-за повышенной опасности сбоев. Действительно, для выполнения функций описанного устройства понадобятся регистровые линейки, состоящие из более 65 тыс. разрядов.

Среди возможных применений программируемых устройств задержки на микросхемах памяти интерес может представить реализация на их основе эффекта реверберации звука [36].

3.4. Устройства хранения и индикации кодовых последовательностей

Микросхемы памяти с одноразрядной организацией широко применяют для записи, временно́го хранения и выдачи для регистрации или индикации кодовых последовательностей.

Принцип действия таких устройств основан на последовательной во времени поразрядной записи кодовой последовательности в накопитель микросхемы при переборе адресов с нулевого до конечного. Записанная информация может сохраняться и затем

по требованию выводится так же, как и записывалась, т. е. последовательно во времени поразрядно по мере изменения адресов. В отличие от устройства задержки здесь нет необходимости в режиме «Считывания-модификация-запись», и поэтому снимается ограничение номенклатуры микросхем ОЗУ, пригодных для применения в устройствах.

Примером использования микросхемы ОЗУ в качестве буферной памяти кодовых последовательностей может служить аналого-цифровое устройство для исследования и регистрации электрических сигналов [38].

Устройство (рис. 3.17) включает аналого-цифровой преобразователь (АЦП) DA1, DD5—DD8, буферную память DD3, мультиплексор DD4, счетчик-формирователь адресов DD2, генератор тактовых импульсов DD1. Аналого-цифровой преобразователь реализован по принципу поразрядного уравновешивания [8] на микросхемах компаратора DA1 (К521СА3), регистра последовательного приближения DD5 (К155ИР17), буферного регистра DD7 (К155ТМ7), цифро-аналогового преобразователя (ЦАП) DD6 (К572ПА1).

Микросхема статического ОЗУ имеет емкость 2^m бит, где m-разрядность адресного кода. Генератор и счетчик формируют адресные коды в стартстопном или непрерывном режимах. Максимальная тактовая частота, с которой может производиться дискретизация входного аналогового сигнала U_x, зависит от динамических параметров элементов АЦП, главным образом от времени установления ЦАП DD6.

При выборе микросхемы памяти необходимо обеспечить соответствие ее быстродействия тактовой частоте. В [38] использована микросхема К565РУ2 емкостью 1К бит. Вместо нее можно применить любую другую микросхему, например К537РУ3 ем-

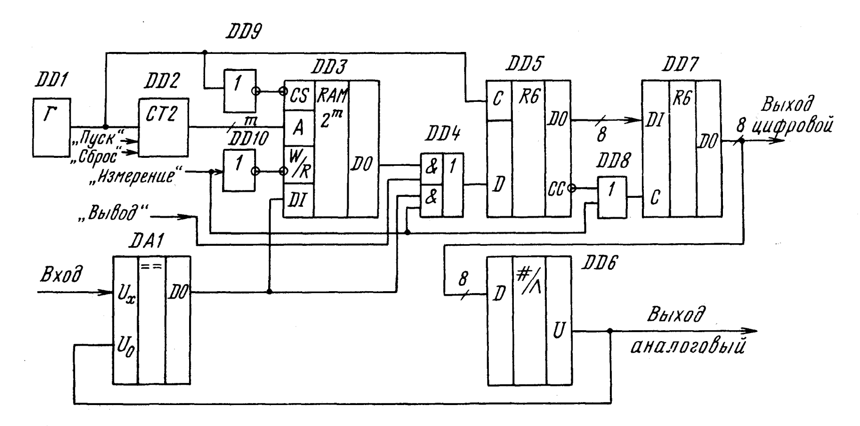


Рис. 3.17. Устройство аналого-цифрового преобразования сигналов с буферной памятью

костью 4К бит ($m=12$), имеющую меньшее энергопотребление и один источник питания. Генератор DD1 и счетчик-формирователь адреса DD2 могут быть реализованы по схемам на рис. 3.16 с изменением параметров времязадающей цепи генератора для получения нужной тактовой частоты.

Устройство может работать в режимах измерения, хранения измерительной информации и ее вывода для индикации или регистрации в цифровой и аналоговой форме представления.

При наличии на входе «Измерение» сигнала с уровнем логической 1 АЦП с частотой тактовых импульсов выбирает значение напряжения аналогового сигнала U_x и преобразует их в 8-разрядный цифровой код, снимаемый с выхода буферного регистра DD7. Микросхема памяти включена параллельно цепи преобразования и находится в режиме записи. Цифровые сигналы с выхода DA1 поступают на вход микросхемы памяти и поразрядно записываются в накопитель по мере изменения адресов. При переборе всех адресов в микросхему емкостью 4К бит можно записать цифровые коды 512 выборок. Эта информация может быть сохранена заданное время при снятии разрешения со входа «Измерение». Микросхема в этом случае находится в режиме считывания, но мультиплексор DD4 при отсутствии сигнала разрешения «Вывод» закрывает ее выход для считывания.

В режиме вывода DD3 включена через DD4 в цепь преобразования считываемых с ее выхода по мере возрастания адресов сигналов в 8-разрядный параллельный код на выходе DD7 и в соответствующий ему аналоговый уровень напряжения на выходе ЦАП DD6. Выходные сигналы можно подать на регистрирующее устройство и индикатор, например на экран осциллографа. В режиме вывода измерительной информации из накопителя мультиплексор DD4 исключает из цепи преобразования компаратор DA1, и, следовательно, изменения его состояния под воздействием сигнала на входе U_x не влияют на вывод информации.

Время одного измерения равно длительности установления на выходе DD7 цифрового кода, отображающего значение амплитуды выборки входного сигнала U_x. Для формирования кода необходимы восемь тактов. При тактовой частоте 100 кГц время одного измерения равно 80 мкс. Следовательно, для измерения сигнала в 512 выборках (точках) необходимо 41 мс.

Если в схеме использовать быстродействующие ЦАП, например К1118ПА1 или ПА2 с временем установления менее 100 нс, компаратор К521СА1, то можно повысить тактовую частоту до 3 МГц и снизить время измерения сигнала в 512 точках до 1,2 мс. В таком устройстве могут быть применены микросхемы серий К132, К541 и многие из серии К537.

Увеличение емкости буферной памяти можно осуществить соединением нескольких микросхем ОЗУ в модуль и введением в схему управления дешифратора выбора микросхем.

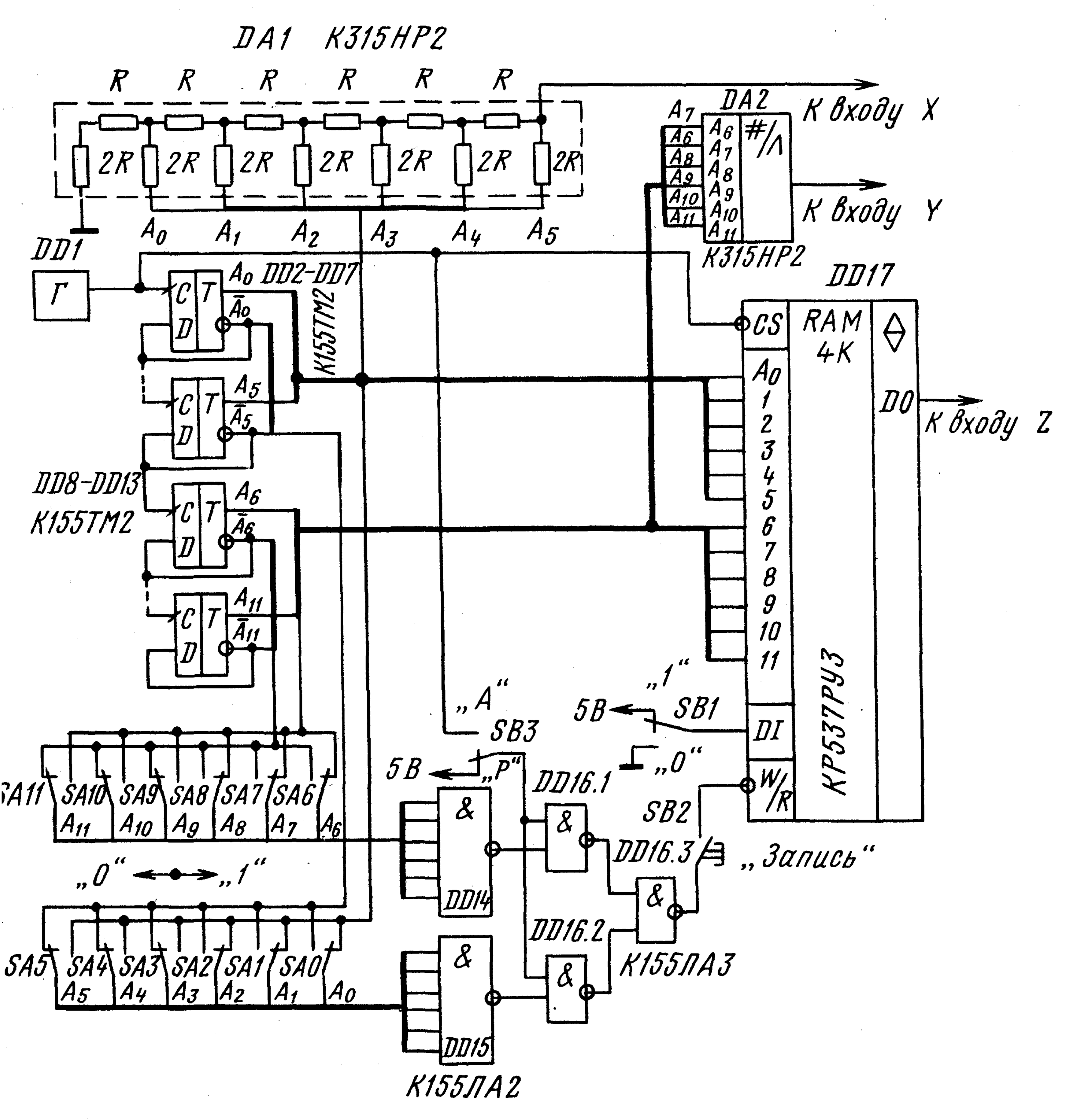


Рис. 3.18. Устройство для записи, хранения кодовых последовательностей и вывода их на экран осциллографа

На рис. 3.18 приведена схема устройства (разработка Н. П. Романова), обладающего благодаря наличию в его структуре микросхемы статического ОЗУ DD17 набором практически полезных возможностей. Оно позволяет побитно заносить информацию по требуемому адресу, наблюдать на экране осциллографа содержимое каждого элемента памяти матрицы накопителя, проверять исправность микросхемы памяти способом занесения и считывания 0 и 1 в весь массив элементов памяти, построчно или по столбцам в разных вариантах сочетаний темных (ЭП заполнены 0) и светлых (ЭП заполнены 1) вертикальных и горизонтальных полос в матрице с наблюдением этой картины на

экране осциллографа. Причем для отображения информации может быть использован серийный осциллограф любого типа, имеющий вход Z.

Устройство можно использовать в качестве составной части программатора микросхем ППЗУ и РПЗУ, так как оно позволяет в режиме ручного набора программировать матрицу ОЗУ с контролем на экране осциллографа всей матрицы и с возможностью побитной коррекции информации. Затем эта информация в режиме побитного считывания должна быть передана на вход микросхемы ППЗУ или РПЗУ.

Следует обратить внимание и на возможность использования устройства в учебных целях для построения макетов для изучения микросхем памяти и режимов их работы.

В структурную схему устройства включены генератор DD1 и счетчик-формирователь адресных кодов DD2—DD13, наборное поле SA0 — SA11 для ручного набора адреса, формирователь сигнала записи DD14—DD16, подаваемый на вход W/R замыканием кнопки SB2, два ЦАП DA1, DA2, формирующие напряжения развертки для осциллографа. Они могут быть реализованы на резисторах, соединенных в матрицу R=2R, но в этом случае нужно отобрать резисторы с малым допуском на разброс сопротивлений.

Схемы ЦАП позволяют получать на экране осциллографа растр, состоящий из 4096 точек, расположенных в форме матрицы 64×64.

Схема DA1 преобразует сигналы шести младших разрядов адреса в 64 точки строки. Каждой точке соответствует один шаг приращения напряжения на выходе DA1. Пока формируются 64 точки строки, напряжение на выходе DA2 неизменно, так как на выходы этого ЦАП поданы старшие разряды кода адреса, которые примут очередное состояние только после всех 64 комбинаций младших разрядов. С каждым приращением напряжения на выходе ЦАП DA2 формируемая строчка перемещается вниз на один шаг, и таких шагов при переборе всех комбинаций старших разрядов — 64. Частота смены адресов достаточно высокая, например 100 кГц, так что вследствие проявления эффекта динамической индикации на экране отображается матрица, состоящая из 4096 точек.

Однако точка на экране — это только указатель расположения элемента памяти в матрице накопителя. Если уменьшить яркость луча осциллографа, то изображение матрицы исчезнет. Для отображения на экране содержимого накопителя выход микросхемы памяти непосредственно, как на рис. 3.18, или через предварительный формирователь подают на вход Z осциллографа.

Микросхема памяти работает постоянно в режиме считывания по непрерывно перебираемым адресам. Нарушение этого

режима вызывают кратковременные нажатия кнопки SB2 для записи информации в ручном, когда переключатель SB3 находится в положении «Р», или в автоматическом режиме, когда SB3 переведен в положение «А».

Считываемая информация отображается на экране в виде светящихся точек, если 1, и темных мест, если 0.

Для записи бита информации необходимо переключатель SB3 перевести в положение «Р» и набрать адрес элемента памяти переключателями наборного поля. Затем кратковременным нажатием кнопки SB2 в микросхему памяти по набранному адресу вносится бит, равный 0 или 1 в зависимости от положения переключателя SB1, заносимый бит автоматически переносится на экранное изображение матрицы накопителя. Избирательная адресация обеспечена дешифратором DD14—DD16, на выходе которого формируется сигнал записи $\overline{W}/R=0$ только в момент появления на выходах адресного счетчика кода, соответствующего набранному.

В автоматическом режиме (SB3 в положении «А») сигнал записи формируется в каждом такте. Поэтому можно занести в накопитель или все 1, или все 0, или чередующиеся темные и светлые строки или столбцы, если вход D1 соединить с выходом счетчика A_0 или A_6 соответственно. Полосы могут быть более широкими, если использовать сигналы с других выходов адресного счетчика.

При необходимости можно вводить информацию в микросхему памяти с телеграфного ключа, редактировать ее и затем выводить на передачу. Устройство такого типа для выполнения функций автоматического телеграфного ключа с селективной памятью описано в [40].

На основе рассмотренного способа практического использования микросхем ОЗУ могут быть построены более сложные устройства индикации аналого-цифровой и графической информации, предназначенные для совместной работы с микропроцессорами. Один из вариантов такого устройства, ориентированный для работы с магистралью МПИ, приведен на рис. 3.19 [39].

В устройство входят генератор DD3 и делитель DD4.1, формирующие тактовые импульсы с частотой 250 кГц, счетчик-формирователь адресных кодов DD5, адресное устройство DD1, DD2, устройство управления режимом счетчика и микросхемы ОЗУ DD4.2, устройство сопряжения с осциллографом DA1, DA2, DD7—DD10, VT1—VT4.

Устройство взаимодействует с магистралью при обращении к нему по установленному адресу и только в цикле записи информации. Функции адресного устройства выполняет дешифратор DD1. При установленном адресном коде на выходе DD1 появляется 1, которая по сигналу SYNC заносится в триггер DD2. Этот сигнал переводит триггер DD4.2 в нулевое состояние

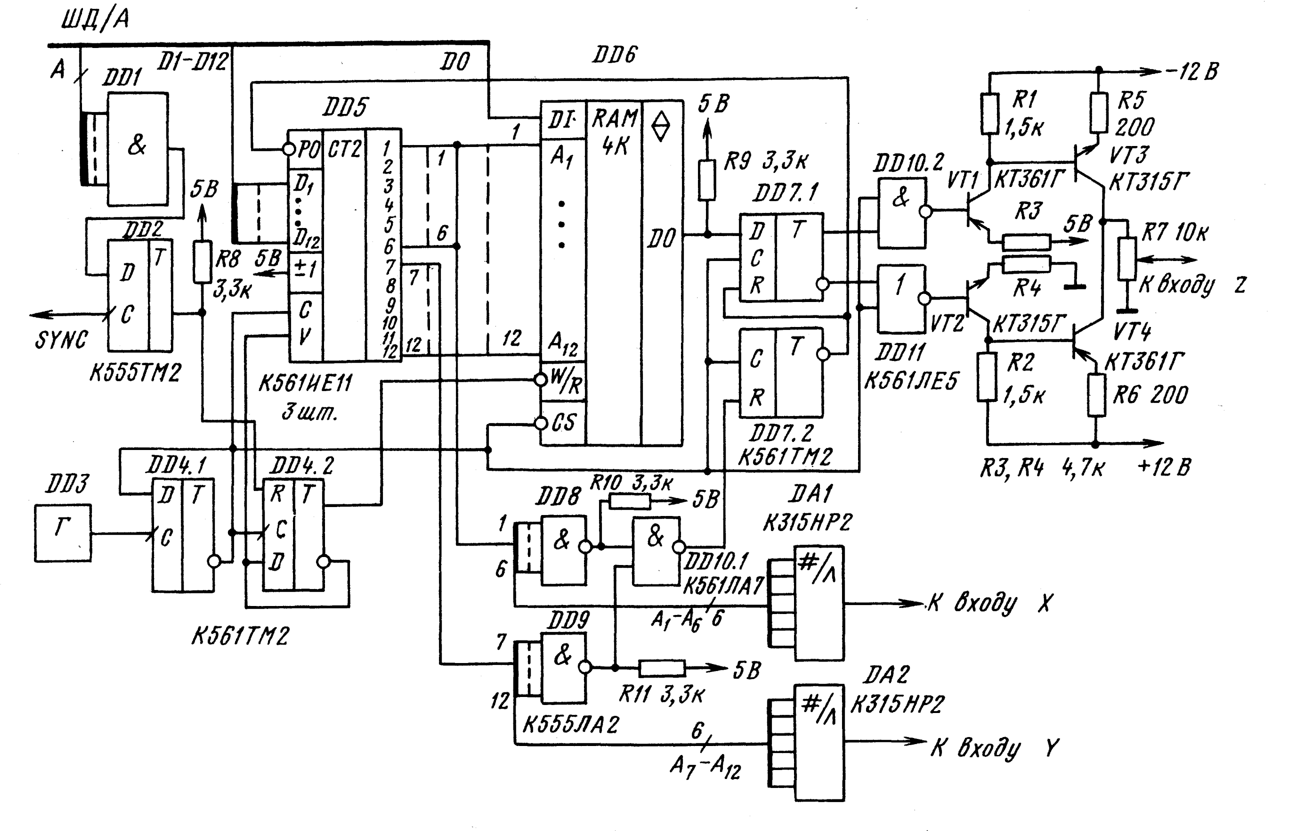


Рис. 3.19. Устройство вывода информации с магистрали МПИ на экран осциллографа

и тем самым обеспечивает режим параллельной записи для счетчика DD5 и режим записи для микросхемы памяти.

За кодом адреса по шине «Данные-Адрес» поступает слово D_0—D_{15}, в котором разряд D_0 является информационным, а разряды D_1—D_{12} — адресными (об использовании D_{13}—D_{15} см. [39]). Адрес через DD5 передается на адресные входы DD6 и обеспечивает выборку соответствующего элемента памяти для записи в него D_0. Цикл записи одного бита завершается формированием ответного сигнала $\overline{\text{RPLY}}$ (на рис. 3.19 не показан).

Вывод записанной информации производится в автономном режиме работы при наличии на входе V счетчика DD5 уровня 0 и на входе W/R микросхемы DD6 уровня 1. В режиме вывода счетчик DD5 перебирает адреса с нулевого до конечного. Синхронно с каждым адресным кодом изменяется сигнал на входе CS и выводит один бит из накопителя. На выходе DD6 включен триггер DD7.1, синхронизированный с микросхемой памяти и счетчиком. Он управляет элементами DD10.2 и DD11 и выходным каскадом VT1—VT4 так, что если из DD6 выводится 0, то на выходе Z сигнал отсутствует, если 1, то появляется знакопеременный меандр с тактовой частотой. Амплитуду этого сигнала можно регулировать резистором R7.

Синхронно с сигналом Z ЦАП DA1, DA2 формируют сигналы X и Y, что и обеспечивает индикацию выводимого бита в виде светлой или темной точки в определенном месте матрицы на экране осциллографа.

На время обратного хода луча сигнал, формируемый DD8 для строк, DD9 по завершению перебора всех адресов, DD10.1 и DD7.2, задерживает счетчик DD5 и закрывает выход Z.

Реализация описанных устройств (см. рис. 3.18 и 3.19) не налагает никаких ограничений на микросхемы памяти, включая и разрядность адресного кода.

Глава 4

МИКРОСХЕМЫ ПОСТОЯННЫХ ЗАПОМИНАЮЩИХ УСТРОЙСТВ

4.1. Микросхемы масочных ПЗУ

Микросхемы ПЗУ по способу программирования, т. е. занесения в них информации, подразделяют на три группы: ПЗУ, однократно программируемые изготовителем по способу заказного фотошаблона (маски), масочные ПЗУ (ПЗУМ, ROM); ПЗУ, однократно программируемые пользователем по способу пережигания плавких перемычек на кристалле (ППЗУ, PROM);

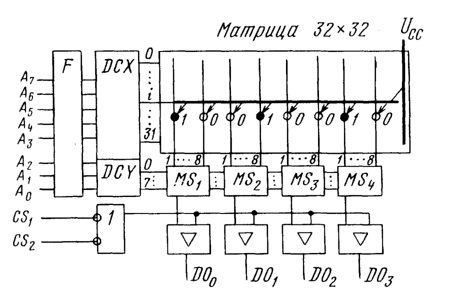


Рис. 4.1. Устройство микросхемы масочного ПЗУ на биполярных структурах

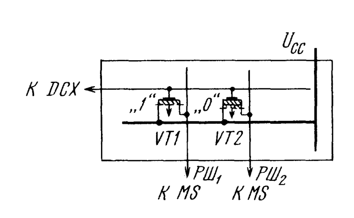


Рис. 4.2. Элементы памяти ПЗУ на МДП транзисторах с программируемым пороговым напряжением

ПЗУ, многократно программируемые пользователем, репрограммируемые ПЗУ (РПЗУ, EPROM).

Общим свойством всех микросхем ПЗУ являются их многоразрядная (словарная) организация, режим считывания как основной режим работы и энергонезависимость. Вместе с тем у них есть и существенные различия в способе программирования, режимах считывания, в обращении с ними при применении. Поэтому целесообразно рассмотреть каждую группу микросхем ПЗУ отдельно.

Микросхемы ПЗУМ изготавливают по биполярной ТТЛ, ТТЛШ-технологии, *n*-канальной, *p*-канальной и КМДП-технологиям. Принцип построения у большинства микросхем группы ПЗУМ одинаков и может быть представлен структурой микросхем К155РЕ21—К155РЕ24 (рис. 4.1). Основными элементами структурной схемы являются: матрица элементов памяти, дешифраторы строк DCX и столбцов DCY, селекторы (ключи выбора столбцов), адресный формирователь, усилители считывания. Матрица состоит из массива ЭП, каждый из которых размещен на пересечении строки и столбца. Элемент памяти ПЗУМ представляет собой резистивную или полупроводниковую (диодную, транзисторную) перемычку между строкой и столбцом. Информацию в матрицу заносят в процессе изготовления микросхемы и осуществляют эту операцию в основном двумя разными технологическими способами.

Микросхемы на биполярных транзисторах программируют путем формирования перемычек между строками и столбцами в тех точках матрицы, куда следует занести логическую 1. В тех точках матрицы, где должен быть логический 0, перемычку не формируют.

Матрица на рис. 4.1 содержит 32×32 ЭП. Она состоит из 32 транзисторов по числу строк, каждый из которых имеет 32 эмиттера по числу столбцов (разрядных шин). Коллекторы

всех транзисторов соединены с шиной питания. Базы транзисторов образуют строки матрицы. Они подключены к выходам дешифратора адреса строк. Эмиттеры либо имеют соединение с разрядной шиной («1»), либо не имеют («0»). Разрядные шины разделены на четыре группы по восемь шин в каждой. Каждая из четырех групп шин замыкается на селектор, который под управлением сигналов с выходов дешифратора столбцов DCY выбирает из восьми шин одну и коммутирует ее на выход.

На выходы селекторов включены усилители считывания, стробируемые сигналами $\overline{CS_1}$ и $\overline{CS_2}$. При $\overline{CS_1}=\overline{CS_2}=0$ усилители открыты для считывания информации, при других комбинациях этих сигналов — закрыты и на их выходах устанавливаются уровни 1.

Выборку 4-разрядного слова осуществляют 8-разрядным кодом адреса, поступающим на адресный формирователь F, который необходим для согласования схем на кристалле с внешними цепями, и затем на входы дешифраторов строк A_7—A_3 и столбцов A_2—A_0. На одном из выходов каждого дешифратора формируются высокие уровни напряжения, которые выбирают из матрицы 4-разрядное слово. На выход микросхемы выбранное слово поступает при разрешающих сигналах управления считыванием $\overline{CS_1}=\overline{CS_2}=0$.

В микросхемах ПЗУМ, изготовленных по МДП-технологии, элементами памяти являются МДП-транзисторы с каналами *n*-типа, *p*-типа или комплементарные. Они включены на пересечениях строк и столбцов матрицы. Программирование таких микросхем осуществляют либо по способу формирования перемычек, т. е. схемы подключения транзисторов к шинам столбцов, либо по способу формирования МДП-транзисторов с двумя порогами отпирания: низким и высоким. В матрицах, программируемых по второму способу, все транзисторы соединены с шинами строк и столбцов, как показано на рис. 4.2, но имеют разную толщину подзатворного диэлектрика и, следовательно, разное пороговое напряжение: более низкое у транзистора VT1, что соответствует 1, и более высокое у VT2, что соответствует 0. При возбуждении строки X_i напряжением, значение которого лежит между двумя пороговыми напряжениями, транзистор VT1 будет открыт, а VT2 останется в закрытом состоянии, в результате на разрядную шину $РШ_1$ передается потенциал высокого уровня, а потенциал $РШ_2$ не изменяется. Различие в потенциалах разрядных шин выходные усилители трансформируют в стандартные уровни напряжений 1 и 0 соответственно.

Программирование микросхем ПЗУМ осуществляют однократно. Поскольку схема соединений или пороговые напряжения транзисторов не зависят от режима работы микросхемы, она обладает свойством энергонезависимости. Благодаря этому свойству микросхемы ПЗУМ широко используют в качестве носителей

постоянных программ, подпрограмм различного назначения, кодов физических констант, постоянных коэффициентов и т. п. Занесенную в ПЗУМ информацию в технической документации называют «прошивкой».

Среди микросхем ПЗУМ разных серий (табл. 4.1) многие имеют стандартные прошивки. Например, в микросхемы ПЗУМ К155РЕ21—К155РЕ24 записаны соответственно коды букв русского РЕ21, латинского РЕ22 алфавитов, арифметических знаков и цифр РЕ23, дополнительных знаков РЕ24. В совокупности эти микросхемы образуют генератор символов на 96 знаков формата 7×5. Пример реализации такого генератора символов рассмотрен в гл. 5.

Одна из микросхем серии КР555РЕ4 содержит прошивку

Таблица 4.1. **Микросхемы масочных ПЗУ**

Тип микросхемы	Емкость, бит	$t_{в.а}$ ($t_{ц.сч}$), нс	$U_{пит}$, В	$P_{пот}$, мВт	Тип выхода	Рисунок
К155РЕ21 К155РЕ22 К155РЕ23 К155РЕ24	256×4	30	5	650	ТТЛ-ОК	4.3, *а*
К555РЕ4	2К×8	110	5	850	ТТЛ-ОК	4.3, *в*
К541РЕ1	2К×8	150	5	1000	ТТЛ-ОК	4.3, *в*
К596РЕ1	8К×8	350	4	640	ТТЛ-3	—
КА596РЕ2	64К×16	450	5	1050	ТТЛ-3	—
К563РЕ1	8К×8	(580)	5	50 (0,05) *	ТТЛ-3	4.3, *ж*
К563РЕ2	32К×8	(500)	5	20 (0,5) *	ТТЛ-3	4.3, *з*
К505РЕ3	512×8	1500	5; —12	500	ТТЛ-3	4.3, *б*
КР568РЕ1	2К×8	600	5; 12	450	ТТЛ-3	4.3, *г*
КР568РЕ2	8К×8	400	5; 12	600	ТТЛ-3	4.3, *д*
КР568РЕ3	16К×8	800	5; 12	300	ТТЛ-3	4.3, *е*
КМ568РЕ4	8К×8	300	5; 12	400	ТТЛ-3	—
К568РЕ5	128К×8	200	5; 12	300	ТТЛ-3	—
К1801РЕ1	4К×16	300	5	75 (40) *	ТТЛ-3	4.3, *и*
К1809РЕ1	4К×16	300	5	275	ТТЛ-3	4.3, *и*
КА1603РЕ1	2К×8	(410)	5	50 (0,05) *	ТТЛ-3	4.3, *к*[1]
КР1610РЕ1	2К×8	500	5	300	ТТЛ-3	4.3, *к*
КМ1656РЕ1	2К×8	80	5	925	ТТЛ-3	4.3, *в*
КМ1656РЕ2	2К×8	80	5	925	ТТЛ-ОК	4.3, *в*
КМ1656РЕ3	512×8	60	5	775	ТТЛ-3	—

[1] Добавлен вывод 21 для сигнала $\overline{CS2}$.
* При хранении.

160 символов, соответствующих 8-разрядному коду обмена информации КОИ 2—8 с форматом знаков 7×11. Прошивку кодов алфавитно-цифровых символов содержит микросхема КМ1656РЕ2.

Значительный перечень модификаций со стандартными прошивками имеет микросхема К505РЕ3.

Две совместно применяемые микросхемы К505РЕ3-002, К505РЕ3-003 содержат коды букв русского и латинского алфавитов, цифр, арифметических и дополнительных знаков и используются как генератор 96 символов формата 7×9 с горизонтальной разверткой знаков. Модификации 0059, 0060 имеют то же назначение, но генерируют знаки формата 5×7. Модификации 0040—0049 содержат прошивки коэффициентов для быстрого преобразования Фурье. Ряд модификаций содержит прошивку функции синуса от 0 до 90° с дискретностью 10′ (0051, 0052), от 0 до 45° (0068, 0069) и от 45 до 90° (0070, 0071) с дискретностью 5′. Модификации 0080, 0081 содержат прошивку функции $Y=X^2$ при $X=1 \dots 128$.

Модификации микросхемы КР568РЕ2 содержат стандартные прошивки символов международного телеграфного кода № 2 форматов 5×7 и 7×9 (0001), символов русского и латинского алфавитов, кодовых таблиц, цифр и арифметических знаков (0003, 0011), функции синуса от 0 до 90° (0309), ассемблера (0303—0306), редактора текстов (0301, 0302).

Микросхема КР568РЕ2—0001 имеет прошивку международных телеграфных кодов № 2 и 5, а КР568РЕ3-0002 — редактора текстов для ассемблера.

Модификации микросхемы КР1610РЕ1-0100—КР1610РЕ1-0107 содержат прошивки программного обеспечения микроЭВМ «Искра».

Названные микросхемы ПЗУМ со стандартными прошивками следует рассматривать как примеры: число таких микросхем и их модификаций постоянно растет.

Для программирования микросхем ПЗУМ по заказу пользователя в технических условиях предусмотрена форма заказа.

Микросхемы ПЗУМ работают в режимах: хранения (невыборки) и считывания. Для считывания информации необходимо подать код адреса и разрешающие сигналы управления. Назначение выводов микросхем ПЗУМ указано на рис. 4.3.

Сигналы управления можно подавать уровнем 1, если вход CS прямой (рис. 4.3, *б*), или 0, если вход инверсный (рис. 4.3, *г*).

Многие микросхемы имеют несколько входов управления (рис. 4.3, *а*), обычно связанных определенным логическим оператором. В таких микросхемах необходимо подавать на управляющие входы определенную комбинацию сигналов, например 00 (рис. 4.3, *а*) или 110 (рис. 4.3, *в*), чтобы сформировать условие разрешения считывания.

Основным динамическим параметром микросхем ПЗУМ яв-

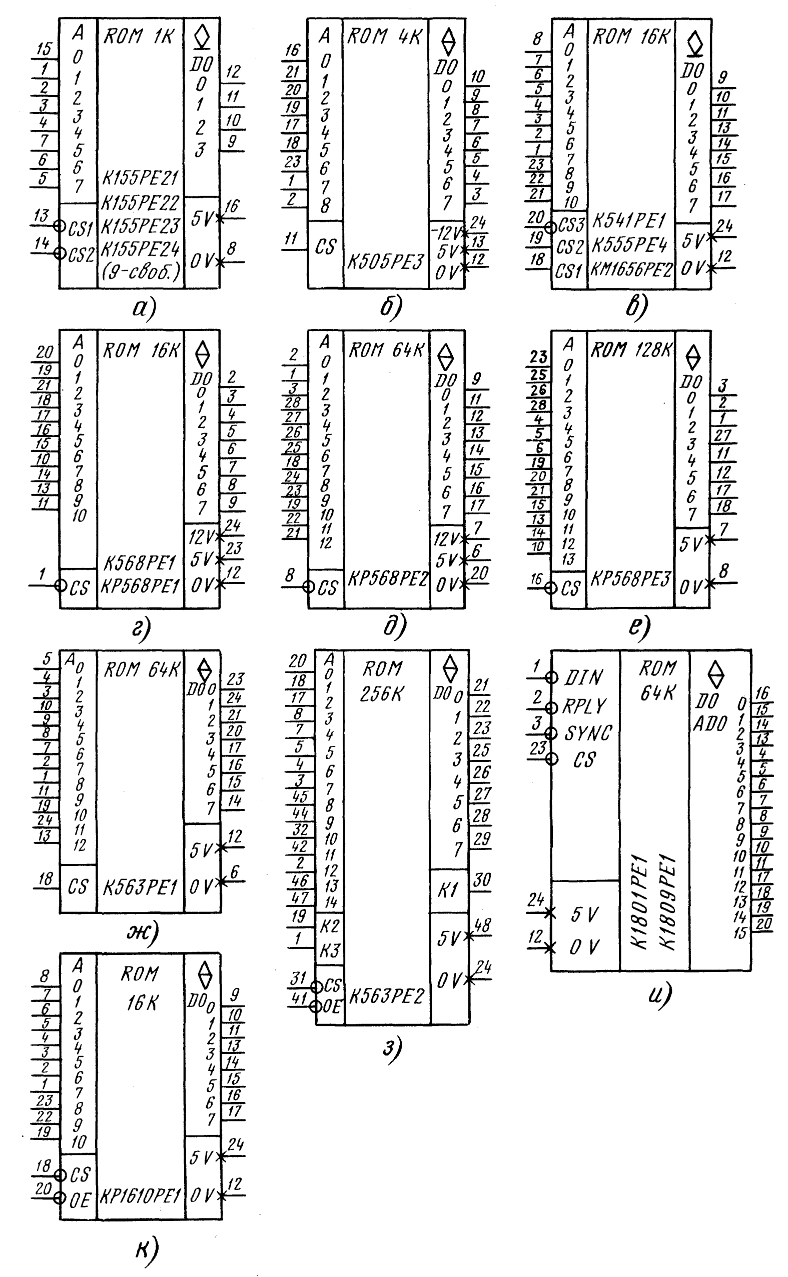


Рис. 4.3. Микросхемы масочных ПЗУ

ляется время выборки адреса. При необходимости стробировать выходные сигналы на управляющие входы CS следует подавать импульсы после поступления кода адреса. В таком случае в расчет времени считывания надо принимать время установления сигнала CS относительно адреса и время выбора. У микросхемы КР1610РЕ1 предусмотрен дополнительный сигнал ОЕ для управления выходом.

Выходные сигналы у всех микросхем ПЗУМ имеют ТТЛ-уровни. Выходы построены в основном по схеме с тремя состояниями.

Для снижения потребляемой мощности некоторые микросхемы, например К596РЕ1, допускают применение режима импульсного питания, при котором питание на микросхему подают только при считывании информации (§ 5.6).

Устойчивая тенденция к функциональному усложнению БИС памяти проявляется и в микросхемах ПЗУМ: в их структуру встраивают интерфейсные узлы для сопряжения со стандартной магистралью и для объединения микросхем в модуль ПЗУ без дополнительных дешифраторов К1801РЕ1, К1809РЕ1, устройства для самоконтроля и исправления ошибок КА596РЕ2, К563РЕ2 [41, 42].

Микросхемы К1801РЕ1 и К1809РЕ1 имеют много общего в назначении, устройстве и режимах работы. Назначение выводов микросхем показано на рис. 4.3, *и*. Обе микросхемы предназначены для работы в составе аппаратуры со стандартной системной магистралью для микроЭВМ [43]: встроенное в их структуру устройство управления (контроллер) позволяет подключать микросхемы непосредственно к магистрали. Как микросхемы ПЗУМ они содержат матрицу емкостью 65384 ЭП, регистры и дешифраторы кода адреса, селекторы, имеют организацию $4K \times 16$ бит. Информация заносится по картам заказа изготовителем.

В структуру встроены также 3-разрядный регистр с «зашитым» кодом адреса микросхемы и схема сравнения для выбора микросхемы в магистрали. Наличие встроенного устройства адресации позволяет включать в магистраль до восьми микросхем одновременно без дополнительных устройств сопряжения.

Особенностью микросхем, обусловленной их назначением, является совмещение адресных входов A_1—A_{15} и выходов данных DO_0—DO_{15}. Выходные формирователи выполнены по схеме на три состояния. Три старших разряда кода адреса A_{15}—A_{13} предназначены для выбора микросхемы, остальные разряды A_{12}—A_1 для выборки считываемого слова. Разрешение на прием основного адреса формирует схема сравнения по результату сопоставления принятого и «зашитого» адресов микросхемы. Принятый адрес фиксируется на адресном регистре, а входы-выходы переходят в третье состояние.

Система управляющих сигналов включает: $\overline{DIN}$ — разрешение чтения данных из ОЗУ (иначе $\overline{RD}$); $\overline{SYNC}$ — синхронизация обмена (иначе $\overline{CE}$ — разрешение обращения), $\overline{CS}$ — выбор микросхемы, $\overline{RPLY}$ — выходной сигнал готовности данных сопровождает информацию DO_0—DO_{15}, считываемую в магистраль.

Режим хранения обеспечивается сигналами $\overline{SYNC}=1$ или $\overline{CS}=1$. В режиме считывания время обращения к микросхеме определяет сигнал $\overline{SYNC}=0$. Кроме него поступают сигналы кода адреса на выводы ADO_1—ADO_{15} и $\overline{CS}=0$. При совпадении адреса ADO_{15}—ADO_{13} с адресом микросхемы во входной регистр поступает адрес считываемого слова, а выводы ADO_1—ADO_{15} переходят в третье состояние. Считанное слово из матрицы записывается в выходной регистр данных и по сигналу $\overline{DIN}=0$ появляется на выходах DO_0—DO_{15} и передается в магистраль. Одновременно на выходе $\overline{RPLY}$ формируется сигнал 0. Выходные регистры возвращаются в исходное состояние после снятия сигнала $\overline{SYNC}$.

В режиме считывания сигналы интерфейса и назначения выводов микросхем К1801РЕ1, К1809РЕ1, К573РФ3, К1809РУ1 совпадают. Поэтому названные микросхемы можно совместно применять для построения ЗУ различной ёмкости и назначения для различных модификаций микроЭВМ. Совместимость микросхем можно использовать и на этапе отладки программного обеспечения управляющих и вычислительных устройств: отлаженную с помощью РПЗУ К573РФ3 программу затем можно переписать («зашить») в К1809РЕ1 или К1801РЕ1.

Микросхемы ПЗУМ КА596РЕ2 (64К$\times$16 бит) и К563РЕ2 (32К$\times$8 бит) имеют встроенные схемы самоконтроля и исправления одиночных ошибок с помощью кода Хэмминга. В случае обнаружения и исправления ошибки в считываемом коде на выходе К1 (рис. 4.3, *з*) появляется сигнал — логическая 1. Можно корректор выключить сигналом К2=0. В этом режиме данные из матрицы будут проходить на выход, минуя схему исправления ошибок.

В структуре указанных ПЗУМ имеется также дополнительная матрица для тестовых комбинаций и другой информации. Емкость дополнительной матрицы равна 64$\times$16 бит у микросхемы КА596РЕ2 и 32$\times$8 бит у микросхемы К563РЕ2. Адресацию ячеек этой матрицы осуществляют частью разрядов адресного кода: A_0—A_5 у КА596РЕ2 и A_0—A_4, A_{10}, A_{11} у К563РЕ2 при наличии разрешающего сигнала К3=1. При отсутствии разрешения по входу К3 дополнительная матрица для обращения закрыта.

Встроенные в структуру ПЗУМ устройства используют для повышения выхода годных схем, отбора бездефектных мик-

росхем при отбраковочных испытаниях, повышения надежности функционирования ПЗУ.

Сопоставляя микросхемы серий К596, выполненные по *n*-канальной МДП-технологии, и К563, выполненной по КМДП-технологии, по быстродействию и энергопотреблению и учитывая их аналогию в части функционального усложнения, можно сделать вывод о преимуществе микросхем КМДП и перспективности серии К563. К аналогичному заключению можно прийти, сравнив микросхемы КА1603РЕ1 (КМДП) и КР1610РЕ1 (*n*-МДП). Обе указанные микросхемы в режиме считывания взаимозаменяемы в аппаратуре с микросхемами РПЗУ К573РФ2 и К573РФ5. Следовательно, отлаженную с помощью К573РФ2 или К573РФ5 программу можно переписать в микросхемы ПЗУМ и заменить ими РПЗУ на печатных платах без каких-либо переделок посадочных мест.

4.2. Микросхемы ППЗУ

Микросхемы программируемых ПЗУ по принципу построения и функционирования аналогичны масочным ПЗУ, но имеют существенное отличие в том, что допускают программирование на месте своего применения пользователем. Операция программирования заключается в разрушении (пережигании) части плавких перемычек на поверхности кристалла импульсами тока амплитудой 30 ... 50 мА. Технические средства для выполнения этой операции достаточно просты и могут быть построены самим пользователем. Это обстоятельство в сочетании с низкой стоимостью и доступностью микросхем ППЗУ обусловило их широкое распространение в радиолюбительской практике.

Выпускаемые отечественной промышленностью микросхемы ППЗУ (табл. 4.2, рис. 4.4) в большинстве своем изготовлены по ТТЛШ-технологии, и среди них преобладающее положение занимает серия К556. Функциональный состав серии включает микросхемы емкостью до 64К бит со словарной 4- и 8-разрядной организацией с временем выборки 45 ... 85 нс и уровнем потребляемой мощности от 0,6 до 1 Вт.

Небольшая часть микросхем ППЗУ выполнена по другим технологиям: ИИЛ (К541), *n*-МДП (К565), ЭСЛ (К500, К1500), КМДП (К1623). Микросхемы серии К1623 отличаются самым низким уровнем энергопотребления, но по быстродействию они существенно уступают микросхемам К556 серии.

Для микросхем ППЗУ всех серий, кроме К500, К1500, К565, характерны такие свойства, как единое напряжение питания 5 В, наличие входных и выходных ТТЛ-уровней напряжения логического 0 (0,4 В) и логической 1 (2,4 В) и, следовательно, полная совместимость микросхем, однотипные выходы: либо с тремя состояниями, либо с открытым коллектором. Микросхемы с выхо-

Таблица 4.2. **Микросхемы ППЗУ**

Тип микросхемы	Емкость, бит	$t_{в.а}$, нс	$P_{пот}$, мВт	Тип выхода [1]	Исходное состояние	Рисунок
КР556РТ1	ПЛМ	70	850	ТТЛ-ОК	1920 *	4.5, *а*
КР556РТ2	ПЛМ	80	950	ТТЛ-3	1920	4.5, *а*
КР556РТ4	256×4	70	690	ТТЛ-ОК	0	4.5, *б*
КР556РТ5	512×8	80	1000	ТТЛ-ОК	1	4.5, *в*
КР556РТ6 (РТ7)	2К×8	80	900	ТТЛ-3 (ОК)	0	4.5, *г*
КР556РТ11	256×4	45	650	ТТЛ-3	0	4.5, *б*
КР556РТ12 (РТ13)	1К×4	60	740	ТТЛ-ОК (3)	0	4.5, *д*
КР556РТ14 (РТ15)	2К×4	60	740	ТТЛ-ОК (3)	0	4.5, *е*
КР556РТ16	8К×8	85	1000	ТТЛ-3	0	4.5, *ж*
КР556РТ17	512×8	50	900	ТТЛ-3	1	4.5, *в*
КР556РТ18	2К×8	60	950	ТТЛ-3	0	4.5, *г*
К541РТ1	256×4	80	400	ТТЛ-ОК	0	4.5, *б*
К541РТ2	2К×8	100	770	ТТЛ-ОК	0	4.5, *г*
К1608РТ2	512×8	40	920	ТТЛ-3	0	—
К1623РТ1	2К×8	200	—	ТТЛ-3	—	—
К155РЕ3	32×8	70	550	ТТЛ-ОК	0	4,5, *з*
К1500РТ1416	256×4	20	670	ЭСЛ-ОЭ	1	4.5, *и*

Примечание. Напряжения питания микросхем: серия К500—5 В; серия К1500—4,5 В; для остальных серий +5 В.

[1] ТТЛ-3 выход на три состояния с уровнями ТТЛ; ТТЛ-ОК выход с открытым коллектором; ЭСЛ-ОЭ выход с открытым эмиттером с уровнями ЭСЛ (см. табл. 2.1).

* Число перемычек, из них в матрице И 1536, в матрице ИЛИ 384.

дами ТТЛ-ОК требуют подключения к ним внешних резисторов и источника напряжения питания.

Типичный вариант реализации микросхемы ППЗУ представлен на рис. 4.5. Для конкретности рассмотрения взята структура микросхемы К556РТ4. Во всех основных элементах она повторяет структуру ПЗУМ (см. рис. 4.1), но имеет дополнительные устройства F_1—F_4 для формирования тока программирования.

Матрица до программирования, т. е. в исходном состоянии, содержит однородный массив проводящих перемычек, соединяющих строки и столбцы во всех точках их пересечений. Перемычки устанавливают из нихрома (у микросхем серии К556 и др.), из поликристаллического кремния (К541), из силицида платины (К1608) и других материалов. Перемычка в матрице выполняет роль ЭП. Наличие перемычки кодируют логической 1, если усилитель считывания является повторителем, и логическим 0, если усилитель считывания — инвертор, как на рис. 4.4. Следовательно, микросхема ППЗУ в исходном состоянии перед программированием в зависимости от характеристики выходного усилителя может иметь заполнение матрицы либо логическим 0, либо логической 1. Информация о принадлежности микросхем ППЗУ к той или другой группе по данному признаку при-

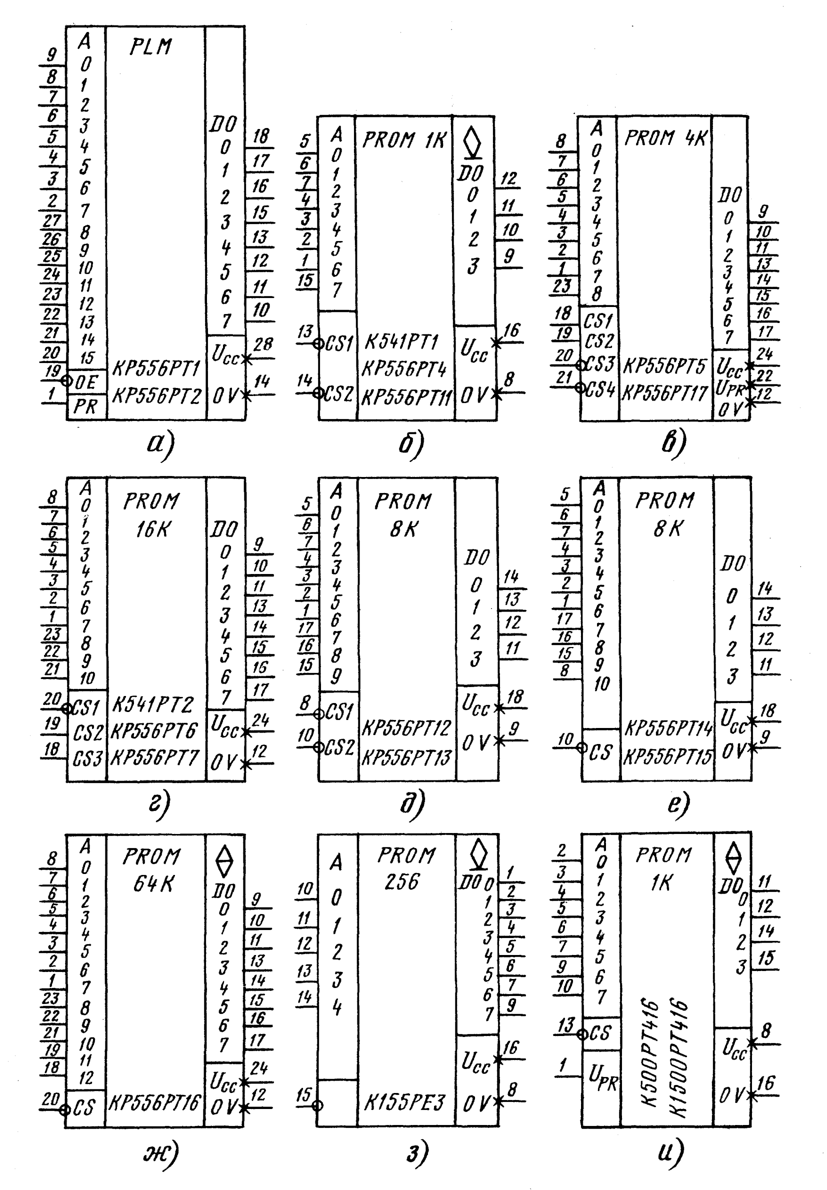


Рис. 4.4. Микросхемы ППЗУ

ведена в табл. 4.2. Если такой информации нет, ее необходимо получить с помощью начального контроля микросхемы: устанавливая разрешающие значения управляющих сигналов (в схеме на рис. 4.4 $\overline{CS1}=\overline{CS2}=0$), следует перебрать адреса, контролируя при этом состояние выходов.

Программирование микросхемы, матрица которой в исходном состоянии заполнена 0, заключается в пережигании перемычек в тех ЭП, где должны храниться 1. Если матрица в исходном состоянии заполнена 1, то пережигают перемычки в ЭП, где должны храниться 0.

Работа запрограммированной микросхемы ППЗУ в режиме считывания ничем не отличается от работы микросхемы ПЗУМ, рассмотренных в § 4.1. У некоторых микросхем, в частности КР556РТ5, КР556РТ17, имеется вывод для напряжения программирования U_{PR} (рис. 4.5, *в*). В режиме считывания этот вывод не задействуют.

Разновидностью ППЗУ являются программируемые выжиганием плавких перемычек логические матрицы (ПЛМ), выполненные по ТТЛШ-технологии, К556РТ1 и К556РТ2, имеющие идентичные характеристики и конструктивные параметры, но отличающиеся типом выхода: у первой из микросхем выход с открытым коллектором, у второй — на три состояния (рис. 4.5, *а*). Названные микросхемы ПЛМ имеют 16 входов A_{15}—A_0 для переменных, над которыми ПЛМ выполняет запрограммированные операции, вход CS с нулевым разрешающим уровнем, вход PR разрешения записи, т. е. программирования, и восемь выходов.

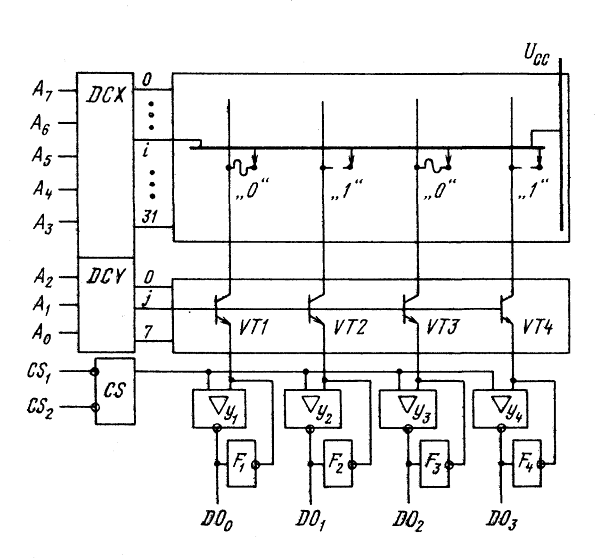


Рис. 4.5. Устройство микросхемы ППЗУ

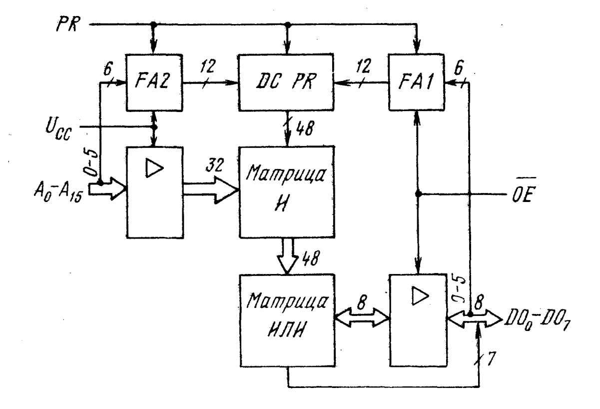


Рис. 4.6. Структура микросхемы ПЛМ

Структура микросхемы (рис. 4.6) включает операционную часть из матрицы И, матрицы ИЛИ, входных и выходных усилителей и программирующую часть из адресных формирователей FA1, FA2 и дешифратора DCPR.

Основу ПЛМ (рис. 4.7) составляют матрицы И и ИЛИ. Матрица И выполняет операции конъюнкции над 16 входными переменными и их инверсными значениями, которые поступают на строчные шины матрицы. Требуемые логические произведения

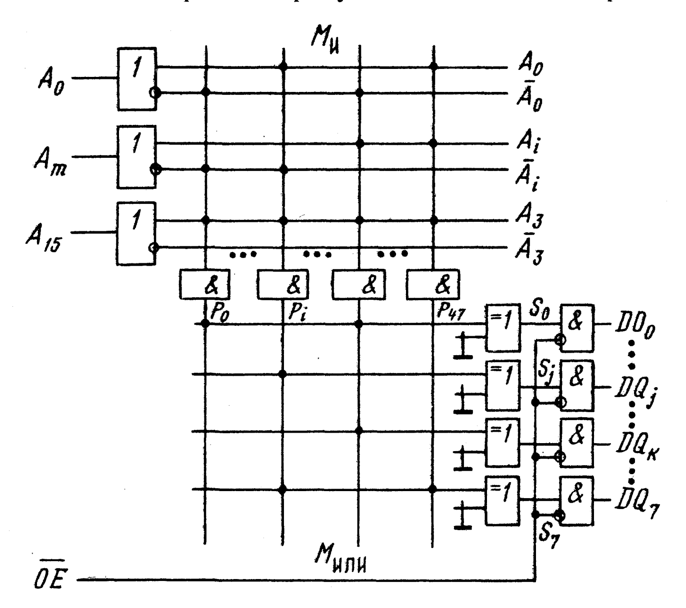


Рис. 4.7. Функциональная схема ПЛМ

формируют на шинах столбцов путем выжигания ненужных перемычек между строками и столбцами (на рис. 4.7 оставленные перемычки указаны точками). Число столбцов 48, следовательно, на выходе матрицы И можно получить до 48 логических произведений, в каждое из которых может входить до 16 переменных и их инверсий. Матрица ИЛИ выполняет операцию дизъюнкции над логическими произведениями, сформированными матрицей И. Число выходов этой матрицы 8, поэтому она способна сформировать до восьми логических сумм, в каждую из которых может входить до 48 логических произведений. Таким образом, возможности ПЛМ характеризуются числом точек коммутации, равным в данном примере 1920. Программирование матрицы ИЛИ выполняется так же, как и матрицы И, путем выжигания «ненужных» перемычек. На выходах матрицы ИЛИ размещены программируемые усилители, которые в зависимости от состояния перемычки могут передавать значение выходной функции в прямой или инверсной форме представления.

Для программирования служат встроенные в микросхему узлы программирующей части, которые возбуждает разрешающий сигнал PR. Программирование осуществляют способом, аналогичным программированию ППЗУ, в три этапа: вначале программируют матрицу И, затем матрицу ИЛИ и выходные инверторы [49].

Широко применяют ПЛМ, программируемые по способу заказного фотошаблона на заводе-изготовителе. Такие ПЛМ являются разновидностью масочных ПЗУ. Они включены, в частности, в состав многих микропроцессорных комплектов в качестве ПЗУ микрокоманд. На основе ПЛМ можно строить самые различные цифровые устройства как комбинационного, так и последовательностного типов.

Как отмечалось ранее, микросхемы ППЗУ потребляют большую мощность от источника питания. Поэтому представляется целесообразным использовать их свойство работать в режиме импульсного питания, когда питание на микросхему подают только при обращении к ней для считывания информации. Особенности применения микросхем ППЗУ в этом режиме состоят в следующем: во-первых, на управляющие входы должны быть поданы уровни, разрешающие доступ к микросхеме: если необходим 0, то данный вывод соединяют с общим выводом, если 1, то с шиной U_{cc} через резистор с сопротивлением 1 кОм; в этом случае функции сигнала выбора микросхемы выполняет импульс напряжения питания U_{cc}; во-вторых, для обеспечения режима импульсного питания применяют транзисторные ключи, на переходах которых падает часть напряжений, поэтому напряжение, подаваемое к внешним ключам, должно быть выбрано с учетом требования иметь на выводе питания микросхемы номинальное напряжение 5 В; в-третьих, из-за инерционности про-

цессов коммутации цепи питания время выборки адреса микросхемы увеличивается в 2—3 раза.

При использовании импульсного режима питания среднее значение потребляемого тока и, следовательно, уровень потребляемой мощности существенно уменьшаются. Пример реализации режима импульсного питания микросхем ППЗУ рассмотрен в гл. 5.

4.3. Микросхемы РПЗУ

Основная отличительная особенность микросхем РПЗУ заключается в их способности к многократному (от 100 до 10 тыс.) перепрограммированию самим пользователем. Это свойство микросхем обеспечено применением ЭП со свойствами управляемых «перемычек», функции которых выполняют транзисторы со структурой МНОП (металл Al-нитрид кремния Si_3N_4 — окисел кремния SiO_2 — полупроводник Si) и транзисторы *n*-МОП с плавающим затвором (ПЗ) с использованием механизма лавинной инжекции заряда ЛИЗМОП.

Всю номенклатуру выпускаемых микросхем РПЗУ можно разделить на две группы: РПЗУ с записью и стиранием электри-

Таблица 4.3. **Микросхемы РПЗУ**

Тип микросхемы [1]	Емкость, бит	$t_{в.а}$, мкс	$P_{пот}$, мВт	$U_{пит}$, В	$U_{пр}$, В	$t_{пр}$ *, с	$t_{ст}$ *, с	Рисунок
КР558РР1	256×8	5	307	5; —12	—30	1	0,005	4.8, *а*
КР558РР2	2К×8	0,35	480	5	18	20	1	4.8, *б*
КР558РР3	8К×8	0,4	400	5	24	40	20	4.8, *в*
КР1601РР1	1К×4	1,8	625	5; —12	—32	20	0,2	4.8, *г*
КР1601РР3	2К×8	1,6	850	5; —12	—36	40	0,2	4.8, *д*
КМ1609РР1	2К×8	0,35	525	5	21	24	0,012	4.8, *б*
К1609РР2	8К×8	0,3	525	5	22	—	—	—
К1611РР1	8К×8	0,3	850	5	22	—	—	—
К573РР2	2К×8	0,35	620	5	22	100	0,05	4.8, *б*
К573РФ1	1К×8	0,45	1100	±5; 12	26	300	30 мин	4.8, *е*
К573РФ2	2К×8	0,45	580	5	25	100	То же	4.8, *б*
К573РФ3	4К×16	0,45	450	5	18	40	»	4.8, *ж*
К573РФ4	8К×8	0,5	700	5; 12	25	800	»	4.8, *в***
К573РФ5	2К×8	0,45	580	5	25	100	»	4.8, *б*
К573РФ6	8К×8	0,3	870	5	19	400	»	4.8, *в***
К573РФ7	32К×8	0,3	600	5	25	—	—	—
К573РФ9	128К×8	0,35	550	5	25	—	—	—

[1] Тип элемента памяти: *p*-МНОП у КР558РР1, КР1601РР1 (РР3); *n*-МНОП у КР558РР2 (РР3), К1611РР1; ЛИЗМОП — у остальных микросхем.

* Время программирования $t_{пр}$ и стирания $t_{ст}$ указано в расчете на всю емкость микросхемы.

** Вывод 26 свободный, сигнал $\overline{ER}$ отсутствует.

ческими сигналами (группа ЭС) и РПЗУ с записью электрическими сигналами и стиранием ультрафиолетовым излучением (группа УФ). Характеристики микросхем РПЗУ наиболее популярных серий приведены в табл. 4.3, а разводка их выводов — на рис. 4.8.

Микросхемы РПЗУ-ЭС содержат ЭП типа МНОП (К558, К1601) и ЛИЗМОП с двойным затвором (К573РР2, К1609РР1 и др.). Микросхемы РПЗУ-УФ имеют ЭП типа ЛИЗМОП с двойным затвором, отличающиеся от аналогичных структур в группе РПЗУ-ЭС тем, что требуют для стирания УФ облучение.

Элемент памяти со структурой МНОП представляет собой МДП-транзистор с индуцированным каналом *p*-типа (рис. 4.9, *а*) или *n*-типа, имеющий двуслойный диэлектрик под затвором. Верхний слой формируют из нитрида кремния, нижний — из окисла кремния, причем нижний слой значительно тоньше верхнего.

Если к затвору относительно подложки приложить импульс напряжения положительной полярности с амплитудой 30 ... ... 40 В, то под действием сильного электрического поля между затвором и подложкой электроны приобретают достаточную энергию, чтобы пройти тонкий диэлектрический слой до границы раздела двух диэлектриков. Верхний слой (нитрида кремния) имеет значительную толщину, так что электроны преодолеть его не могут.

Накопленный на границе раздела двух диэлектрических слоев заряд электронов снижает пороговое напряжение и смещает передаточную характеристику транзистора влево (рис. 4.9, *б*). Это состояние ЭП соответствует логической 1. Режим занесения заряда под затвор называют режимом программирования.

Логическому 0 соответствует состояние транзистора без заряда электронов в диэлектрике. Чтобы обеспечить это состояние, на затвор подают импульс напряжения отрицательной полярности с амплитудой 30 ... 40 В. При этом электроны вытесняются в подложку. При отсутствии заряда электронов под затвором передаточная характеристика смещается в область высоких пороговых напряжений. Режим вытеснения заряда из подзатворного диэлектрика называют режимом стирания.

Режим стирания и программирования можно осуществить с помощью напряжения одной полярности: отрицательной для *p*-МНОП, положительной для *n*-МНОП структур. Эта возможность основана на использовании явления лавинной инжекции электронов под затвор, которая происходит, если к истоку и стоку приложить импульс отрицательного напряжения 30 ... 40 В, а затвор и подложку соединить с корпусом. В результате электрического пробоя переходов исток-подложка и сток-подложка происходит лавинное размножение электронов и инжекция не-

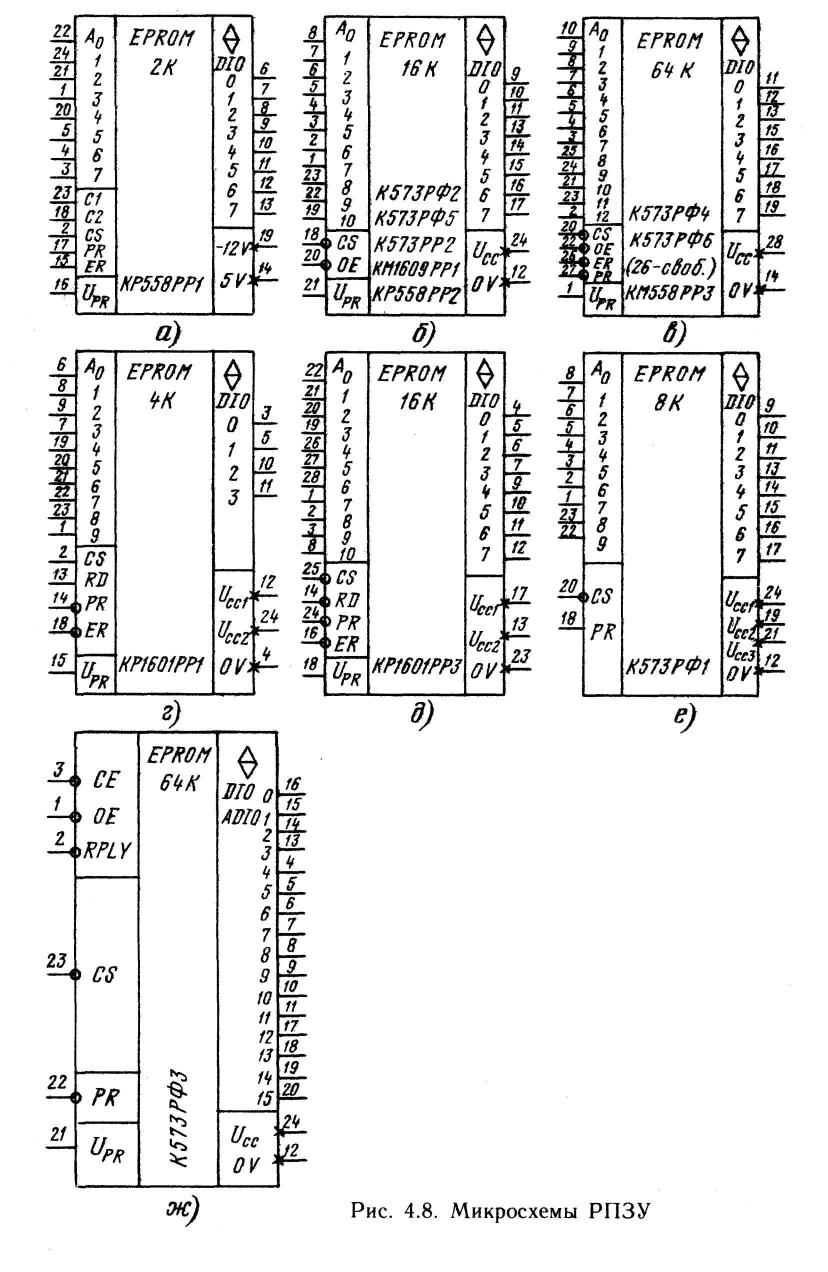


Рис. 4.8. Микросхемы РПЗУ

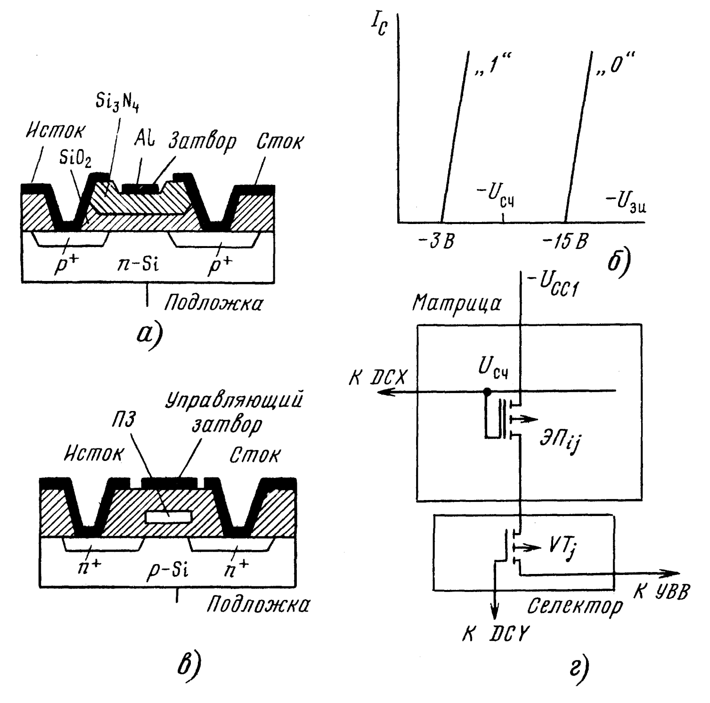


Рис. 4.9. Элементы памяти РПЗУ:
а — типа МНОП; *б* — передаточная характеристика; *в* — типа ЛИЗМОП с двойным затвором; *г* — расположение ЭП в матрице микросхемы

которых из них, обладающих достаточной кинетической энергией («горячих» электронов), на границу между слоями диэлектриков. Для стирания необходимо подать импульс отрицательного напряжения на затвор. В режиме считывания на затвор подают напряжение $U_{сч}$, значение которого лежит между двумя пороговыми уровнями. Если в ЭП записана 1, транзистор откроется, а при 0 — останется в закрытом состоянии. В зависимости от этого, как видно из рис. 4.9, *г*, в разрядной шине либо будет протекать ток на выход, либо нет. Усилитель считывания трансформирует состояние шины в уровень напряжения 1 или 0 на выходе микросхемы.

Микросхемы РПЗУ с ЭП на *p*-МНОП транзисторах КР558РР1, КР1601РР1, КР1601РР3 (табл. 4.3) имеют сравнительно низкое быстродействие, высокое напряжение программирования (30...40 В) и требуют двух источников питания.

Для улучшения характеристик РПЗУ широко применяют технологию изготовления ЭП на *n*-МНОП транзисторах. Такие ЭП устроены аналогично рассмотренным, но имеют проводимость подложки *p*-типа, а истока и стока *n*-типа. Микросхемы с ЭП

на *n*-МНОП транзисторах КР558РР2, КР558РР3, К1611РР1 обладают втрое превосходящим быстродействием, сниженным до 22 В напряжением программирования и работают от одного источника питания.

Вариант ЭП на структуре ЛИЗМОП с двойным затвором (рис. 4.9, *в*) представляет собой *n*-МОП транзистор, у которого в подзатворном однородном диэлектрике SiO_2 сформирована изолированная проводящая область из металла или поликристаллического кремния. Этот затвор получил название «плавающего».

В режиме программирования на управляющий затвор, исток и сток подают импульс напряжения 21 ... 25 В положительной полярности. В обратно смещенных *p-n* переходах возникает процесс лавинного размножения носителей заряда и часть электронов инжектирует на ПЗ. В результате накопления на ПЗ отрицательного заряда передаточная характеристика транзистора смещается в область высокого порогового напряжения (вправо), что соответствует записи 0.

Стирание записанной информации, т. е. вытеснение заряда с ПЗ, в структурах ЛИЗМОП осуществляют двумя способами: в РПЗУ-ЭС электрическими сигналами, в РПЗУ-УФ с помощью УФ облучения. В структурах со стиранием электрическими сигналами импульсом положительного напряжения на управляющем затворе снимают заряд электронов с ПЗ, восстанавливая низковольтный уровень порогового напряжения, что соответствует 1. В структурах с УФ облучением электроны рассасываются с ПЗ в подложку в результате усиления теплового движения за счет полученной энергии от источника УФ излучения.

Режим считывания осуществляют так же, как в ЭП на структуре МНОП. В режиме хранения обеспечивают отсутствие напряжений на электродах ЭП с тем, чтобы исключить рассасывание заряда в диэлектрической среде. Теоретическими расчетами доказана возможность сохранения заряда сотни лет. На практике это время ограничивают для одних типов микросхем несколькими тысячами часов, для других — несколькими годами, например, у К573РФ6 гарантийный срок сохранения информации без питания составляет пять лет. Следовательно, микросхемы РПЗУ относятся к группе энергонезависимых.

Устройство, принцип действия, режимы управления работой микросхем РПЗУ разных групп во многом аналогичны. Например, микросхемы К558РР2, К1609РР1, К573РР2, К573РФ2 емкостью 2К×8 бит, относящиеся к разным группам РПЗУ по типу элемента памяти, имеют похожую структуру и одинаковую разводку выводов корпуса (рис. 4.8, *б*). Отличие между микросхемами групп ЭС и УФ состоит в способе реализации режима стирания.

Принцип построения и режим работы РПЗУ рассмотрим на

примере микросхемы КР1601РР3 емкостью 2К×8 с ЭП на *p*-МНОП транзисторах.

Структурная схема (рис. 4.10) содержит все элементы, необходимые для работы микросхемы в качестве ПЗУ: матрицу с элементами памяти, дешифраторы кода адреса строк и столбцов, селектор (ключи выбора столбцов), устройство ввода-вывода УВВ. Кроме того, в структуре предусмотрены функциональные узлы, обеспечивающие ее работу в режимах стирания и программирования (записи информации) — это коммутаторы режимов и формирователи импульсов напряжений требуемой амплитуды и длительности из напряжения программирования U_{PR}. По сравнению с микросхемами ПЗУМ и ППЗУ система управляющих сигналов дополнена сигналами программирования PR и стирания ER. Накопитель с матричной организацией содержит 128 строк и 128 столбцов, на пересечениях которых расположены 16 384 элементов памяти. Управление накопителем осуществляют семью старшими разрядами адресного кода, который после дешифрирования выбирает строку со 128 элементами памяти. Сигналы, считанные с элементов выбранной строки, поступают на входы селектора, назначение которого состоит в выборе из 128-разрядного кода на входах восьми разрядов, которые далее поступают через УВВ на выходы микросхемы. Селектором управляют четыре младших разряда адресного кода, которые после дешифрирования обеспечивают выборку одного восьмиразрядного слова из 16 слов, содержащихся в выбранной строке. Устройство управления под воздействием сигналов на своих входах обеспечивает работу микросхемы в одном из следующих режимов: хранения, считывания, стирания, записи (программирования). Управляющие сигналы имеют следующее назначение: $\overline{CS}$ — выбор микросхемы; $\overline{PR}$ — разрешение на режим записи (программирования); U_{PR} — напряжение программирования; $\overline{RD}$ — сигнал считывания; $\overline{ER}$ — сигнал стирания информации. Входы сигналов инверсные, поэтому разрешающим значением этих сигналов является 0. Многие микросхемы группы ЭС допускают избирательное стирание по адресу. Условия реализации названных режимов для микросхем РПЗУ группы ЭС приведены в табл. 4.4. Рассмотрим эти условия для микросхемы КР1601РР3, обращаясь при этом к рис. 4.10.

В режиме общего стирания на управляющие входы подают сигналы, соответствующие табл. 4.4, в том числе напряжение программирования $U_{PR} = -36$ В. Процесс стирания начинается с момента подачи импульса $\overline{ER}$, который должен иметь длительность от 100 до 200 мс. По окончании стирания все ЭП матрицы переходят в состояние, соответствующее логическому 0. В этом режиме сигналы на адресных и информационных выводах могут иметь произвольные значения.

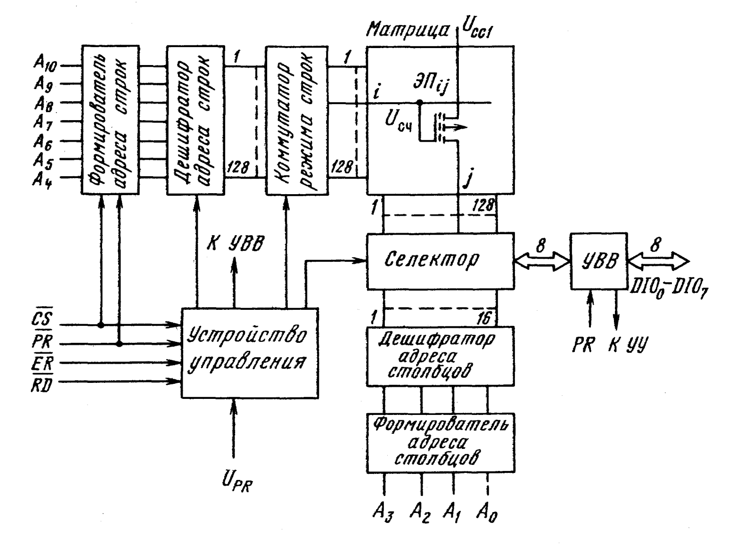


Рис. 4.10. Структура микросхемы РПЗУ-ЭС

Микросхема КР1601РР3 допускает построчное стирание. Этот режим отличается от рассмотренного значением сигнала $\overline{PR}=0$, наличием на всех информационных выводах сигналов с уровнем 1, а на адресных входах — сигналов адреса строки A_4—A_{10}, по которому следует стереть информацию из всех 128 ЭП. Время избирательного стирания то же, что и общего.

В режиме записи (программирования) на выводы микросхемы подают записываемый байт, код адреса, управляющие сигналы по табл. 4.4 и затем импульс сигнала программирования $\overline{PR}=0$ на время 20 мс. Для программирования в автоматическом режиме всей микросхемы с числом адресов 2048 требуется 41 с.

В режиме считывания на вывод U_{PR} коммутируют напряжение питания —12 В (см. табл. 4.4) для снижения потребляемой мощности, подают код адреса и управляющие сигналы по табл. 4.4, причем сигнал считывания $\overline{RD}$ должен иметь импульсную форму. Спустя 0,4 мкс на информационных выходах появляется считываемое слово.

Режим хранения обеспечивают сигналом $\overline{CS}=1$, запрещающим обращение к микросхеме независимо от значений сигналов на других входах. Возможен второй вариант обеспечения режима хранения при использовании импульсного питания напряжением —12 В. Такой режим позволяет уменьшать потребляемую мощность. Когда в паузах между обращениями к микросхеме отключают напряжение питания, она переходит в режим хранения.

Таблица 4.4. **Режимы микросхем РПЗУ-ЭС**

Тип микросхемы	Сигналы управления	Стирание общее [1]	Запись слова	Считывание	Хранение
КР558РР2	$\overline{CS}$	1	1	0	1
2К×8	$\overline{OE}$	0	1	0	X
n-МНОП	U_{PR}, В	18 *	18 *	5	5
10^4 циклов	τ, мс	10^3	10	0,35 мкс ***	—
КР558РР3	$\overline{CS}$	0 *	0 *	0	1
8К×8	$\overline{OE}$	1	0 *	0	X
n-МНОП	$\overline{ER}$	0	1	1	X
100 циклов	U_{PR}, В	18	24	0	X
	τ, мс	$2{,}10^4$	5 **	0,35 мкс	—
КР1601РР3	$\overline{CS}$	0	0	0	1
2К×8	$\overline{RD}$	1	1	0	X
p-МНОП	$\overline{PR}$	1	0 *	1	X
10^4 циклов	$\overline{ER}$	0 *	1	1	X
	U_{PR}, В	—36	—36	—12	X
	τ, мс	200	20	0,4 мкс	—
КМ1609РР1	$\overline{CS}$	0	0	0	1
2К×8	$\overline{OE}$	12 В	1	0	X
ЛИЗМОП	U_{PR}, В	21 *	21 *	5	5
10^4 циклов	τ, мс	12	12	0,3 мкс	—
К573РР2	$\overline{CS}$	0	0	0	1
2К×8	$\overline{OE}$	12 В	1	0	X
ЛИЗМОП	U_{PR}, В	22 *	22 *	5	5
10^4 циклов	τ, мс	50	50	0,35 мкс	—

[1] Стирание по адресу допускают КР1601РР3, К573РР2, КМ1609РР1.
* Воздействие в форме импульса длительностью τ;
** $\tau = t_{у. вм. OE}$;
*** Время выборки адреса.

Управление переключениями питания целесообразно осуществлять сигналом CS.

При эксплуатации микросхем РПЗУ необходимо обеспечить требуемый порядок включения и выключения напряжений питания и программирования: при включении вначале подают 5 В, затем —12 В и последним напряжение программирования, при выключении последовательность меняется на обратную. Можно все три напряжения включать и выключать одновременно.

Достоинством микросхем РПЗУ группы ЭС является возможность перепрограммирования без изъятия их из устройства, где они работают. Другим положительным свойством микросхем дан-

ной группы является значительное число циклов перепрограммирования, достигающее для большинства микросхем 10 тыс. Это их свойство в сочетании с энергонезависимостью позволяет их широко использовать в аппаратуре в качестве встроенных ПЗУ со сменяемой информацией. Гарантийный срок сохранения информации при отключенном питании составляет от 3 тыс. ч до 5 лет (КМ1609РР1).

Номенклатура микросхем РПЗУ много шире представленной в табл. 4.4 за счет модификаций базовых микросхем. Например, в семействе микросхем К1601РР3 имеется восемь модификаций: от РР31 до РР38, отличающихся друг от друга информационной емкостью, как можно видеть из табл. 4.5, и, следовательно, вариантами использования выводов корпуса для адресных входов и информационных выходов, так как число тех и других может отличаться от базовой микросхемы. То же можно сказать и о семействах микросхем других серий. Такое разнообразие микросхем РПЗУ позволяет решать на их основе практически любые задачи по созданию энергонезависимых перепрограммируемых ПЗУ.

Таблица 4.5. **Модификации [1] базовых микросхем РПЗУ-ЭС**

Базовая микросхема	Модификация		Используемые выводы		Соединения выводов	Рисунок
	Тип	Бит	Адрес	Данные		
КР558РР1	РР11	256×4	Все	7, 8, 9, 10	—	4.8, *а*
КР558РР2	РР21	1К×8	Кроме 19	Все	19=12 *	4.8, *б*
	РР22	1К×8	То же	Все	19=24	
	РР23	2К×4	Все	11, 13, 14, 16	—	
	РР24	2К×4	Все	10, 11, 13, 14, 16	10=11	
КР1601РР1	РР11	512×4	Кроме 1	Все	1=4	4.8, *г*
	РР12	512×4	То же	Все	1=24	
КР1601РР3	РР31	1К×8	Кроме 8	Все	8=23	4.8, *д*
	РР32	1К×8	То же	Все	8=1	
	РР33	2К×4	Все	4, 5, 6, 7	—	
	РР34	2К×4	Все	9, 10, 11, 12	—	
	РР35	2К×4	Все	4, 5, 9, 10	—	
	РР36	2К×4	Все	4, 5, 11, 12	—	
	РР37	2К×4	Все	6, 7, 9, 10	—	
	РР38	2К×4	Все	6, 7, 11, 12	—	
КМ1609РР1	РР11	1К×8	Кроме 19	Все	19=12	4.8, *б*
	РР12	1К×8	То же	Все	19=24	
К573РР2	РР21	1К×8	Кроме 19	Все	19=12	4.8, *б*
	РР22	1К×8	То же	Все	19=24	

[1] Микросхемы — модификации имеют параметры базовых микросхем.
* Вывод 19 соединен с выводом 12.

Таблица 4.6. **Модификации [1] базовых микросхем РПЗУ-УФ**

Базовая микросхема	Модификация		Используемые выводы		Соединения выводов	Рисунок
	Тип	Бит	Адрес	Данные		
К573РФ1	РФ13	1К×4	Все	10, 11, 13, 15	—	4.8, *е*
	РФ14	1К×4	Все	9, 10, 11, 15	—	
К573РФ2	РФ21	1К×8	Все, кроме 19	Все	19=12 *	4.8, *б*
	РФ22	1К×8	То же	Все	19=24	
	РФ23	2К×4	Все	10, 11, 13, 15	—	
	РФ24	2К×4	Все	9, 10, 11, 15	—	
К573РФ3	РР31	2К×16	Все, кроме 17	Все	17=24	4.8, *ж*
	РР32	2К×16	То же	Все	17=12	
	РР33	1К×16	Все, кроме 11, 17	Все	11=17=24	
	РР34	1К×16	То же	Все	11=17=12	
К573РФ4	РФ41	4К×8	Все, кроме 4	Все	4=14	4.8, *в*
	РФ42	4К×8	То же	Все	4=28	
	РФ43	8К×4	Все	13, 15, 16, 18	—	
	РФ44	8К×4	Все	12, 13, 15, 18	—	

[1] Микросхемы — модификации имеют электрические параметры базовых микросхем.
* Вывод 19 соединен с выводом 12.

Группа микросхем РПЗУ-УФ представлена серией К573, имеющей развитый функциональный состав, который расширен за счет значительного числа модификаций базовых микросхем (табл. 4.6).

В устройстве и режимах работы микросхем РПЗУ-УФ много общего с микросхемами группы ЭС. Исключение составляет режим стирания, для реализации которого необходим источник УФ излучения. Для стирания записанной информации микросхему извлекают из контактного устройства, замыкают все ее выводы полоской фольги и помещают под источник УФ света, обеспечив ее обдув. Стирание можно произвести, не извлекая микросхему из контактного устройства, но тогда надо отключить напряжения питания и сигналы. Типовые источники стирающего излучения — дуговые ртутные лампы и лампы с парами ртути в кварцевых баллонах: ДРТ-220, ДРТ-375, ДБ-8, ДБ-60 и др. Излучение проникает к полупроводниковому кристаллу РПЗУ через прозрачное окно в крышке корпуса. Время стирания информации составляет 30 ... 60 мин. Расстояние от корпуса до баллона лампы должно быть 2,5 см. Очевидно, необходимо обеспечить чистоту стекла крышки, так как в противном случае стирание будет неполным.

Режимы работы микросхем РПЗУ-УФ: хранение, считывание, запись (программирование) обеспечивают сигналами управле-

ния, приведенными в табл. 4.7. В реализации названных режимов существенных особенностей, по сравнению с микросхемами группы ЭС, нет, за исключением наличия у некоторых микросхем (РФ2, РФ5, РФ6) режима контроля записи, который реализуют вслед за программированием.

Среди микросхем серии К573 выделяется более сложной структурой и расширенными функциональными возможностями микросхема К573РФ3 емкостью 4К×16 бит. Ее отличительная особенность состоит в том, что она приспособлена для непосредственной работы со стандартной магистралью, имея необходимые встроенные интерфейсные средства обеспечения режима обмена с нею. Кроме этого, микросхема имеет встроенное программируемое адресное устройство, которое позволяет без дополнитель-

Таблица 4.7. **Режимы микросхемы РПЗУ-УФ**

Тип микросхемы	Сигналы управления	Запись слова	Контроль записи [1]	Считывание	Хранение
К573РФ1	$\overline{CS}$	12 В	—	0	1
1К×8	PR	26 В *	—	0	X
100 циклов	τ, мс	1×300	—	0,45 ** мкс	—
К573РФ2 (РФ5)	$\overline{CS}$	1 *	0	0	1
2К×8	$\overline{OE}$	1	0	0	X
100 циклов (РФ2)	U_{PR}, В	25	25	5	5
25 циклов (РФ5)	τ, мс	50	—	0,45 мкс	—
К573РФ3	$\overline{CS}$	0 *	0 *	0	1
4К×16	$\overline{CE}$	1	0	0	1
10 циклов	$\overline{OE}$	1	1	0	1
	$\overline{PR}$	0	1	1	0
	U_{PR}, В	18	18	5	5
	τ, мс	10	10	0,45 мкс	—
К573РФ4	$\overline{CS}$	0	—	0	1
8К×8	$\overline{PR}$	0 *	—	1	X
25 циклов	U_{PR}, В	25	—	5	5
	τ, мс	100	—	0,5 мкс	—
К573РФ6	$\overline{CS}$	0	0	0	1
8К×8	$\overline{OE}$	1	0 *	0	X
25 циклов	$\overline{PR}$	0 *	1	1	X
	U_{PR}, В	19	19	5	5
	τ, мс	50	—	0,3 мкс	—

[1] Для РФ3 режим записи кода микросхемы.
* Воздействие в форме импульса длительностью τ.
** Время выборки адреса.

ного оборудования объединять до восьми микросхем в блок ПЗУ их подключением к магистрали.

Указанные возможности микросхемы позволяют комплексировать ее с микросхемами ОЗУ К1809РУ1, ПЗУ К1809РЕ1, К1801РЕ1, с которыми она полностью совместима по разводке и входным сигналам в режимах считывания и хранения, для создания универсальных модулей ЗУ на основе стандартной магистрали [43].

Сигналы микросхемы (рис. 4.8, *ж*):

A_1 — A_{12} — код адреса ячейки памяти;

A_{13} — A_{15} — код адреса микросхемы;

DIO_0 — DIO_{15} — входные (при программировании) и выходные (при считывании) данные;

Адресные входы и информационные входы-выходы совмещены;

$\overline{CE}$ — разрешение обмена (идентичен сигналу системного интерфейса $\overline{SYNC}$ — «Синхронизация»);

$\overline{OE}$ — разрешение выдачи информации ($\overline{DIN}$);

$\overline{CS}$ — выбор микросхемы; сигнал управляет адресным устройством микросхемы;

$\overline{PR}$ — программирование (запись, $\overline{WTBT}$);

$\overline{RPLY}$ — выходной сигнал сопровождения считываемой информации.

Значения сигналов управления в различных режимах работы микросхемы приведены в табл. 4.7. При реализации управления необходимо иметь в виду, что совмещенные адресные и информационные выводы работают в мультиплексном режиме: вначале при $\overline{CE}=0$ и совпадении внутреннего кода микросхемы с принятым A_{13} — A_{15} происходит запись во входной регистр кода адреса A_1 — A_{12}, затем выводы переходят в режим приема данных DI_0 — DI_{15} для записи или в режим вывода считанных данных DO_0 — DO_{15} в магистраль. При программировании сигнал $\overline{CE}$ на этапе приема адреса имеет значение 0, затем при приеме данных принимает значение 1.

В режиме считывания после фиксации адреса на входном регистре выходы переходят в третье состояние, а считанная из матрицы информация размещается во внутреннем выходном регистре. На выходах она появляется при сигнале $\overline{OE}$ разрешения по выходу.

Недостатками микросхем РПЗУ-УФ является малое число циклов перепрограммирования (от 10 до 100), что обусловлено быстрым старением диэлектрика под воздействием УФ излучения, необходимость изъятия из аппаратуры для стирания информации, большое время стирания, потребность в специальном оборудовании для стирания, высокая чувствительность к освещению и возможность случайного стирания информации. Вместе с тем

у микросхем этой группы есть и существенные достоинства: сравнительно высокое быстродействие, большое разнообразие вариантов исполнения по информационной емкости, невысокая стоимость и доступность. Эти свойства микросхем РПЗУ-УФ обусловливают их широкое применение в радиолюбительских разработках.

Глава 5

ПРИМЕНЕНИЕ МИКРОСХЕМ ПОСТОЯННЫХ ЗАПОМИНАЮЩИХ УСТРОЙСТВ

5.1. Блок памяти на микросхемах РПЗУ-УФ

Известно, что наиболее критичным элементом в отношении отказоустойчивости в любых автоматизированных системах является память программ, поскольку разрушение содержащейся в ней информации, вызванное сбоем питания или другой неисправностью, приводит к отказу ЭВМ и всей системы в целом. Выходом из этого положения может служить размещение в блоках ПЗУ программ и другой важной информации, которая должна быть сохранена при сбоях и отключении питания.

Решение практических задач по применению микросхем ПЗУ (ПЗУМ, ППЗУ, РПЗУ) включает этап их программирования и этап встраивания в принципиальную схему разрабатываемого устройства. При использовании микросхем ПЗУМ и ППЗУ программирование осуществляют предварительно, так что в устройстве эти микросхемы работают только в режимах считывания и хранения и для управления ими достаточно иметь вход для сигнала выбора микросхем. Многие микросхемы ППЗУ имеют несколько таких входов (см. рис. 4.5), что позволяет повышать гибкость управления.

Микросхемы РПЗУ имеют более сложное управление (см. рис. 4.8), допускающее их программирование в составе устройства. Эти особенности сказываются на структуре контроллера ПЗУ.

Рассмотрим вопросы применения микросхем РПЗУ для построения постоянной памяти контроллеров и других микропроцессорных средств на примере блока программируемого ПЗУ, ориентированного на интерфейс И41 [31]. Структура блока (рис. 5.1) включает модуль РПЗУ емкостью 32К байта DD10—DD25 и контроллер, обеспечивающий управление модулем.

Модуль РПЗУ на микросхемах К573РФ5 организован в виде 16 страниц, каждая из которых состоит из двух байтовых банков данных: L-банк содержит младшие байты, H-банк — старшие. Емкость каждого банка определена микросхемой и равна 2К

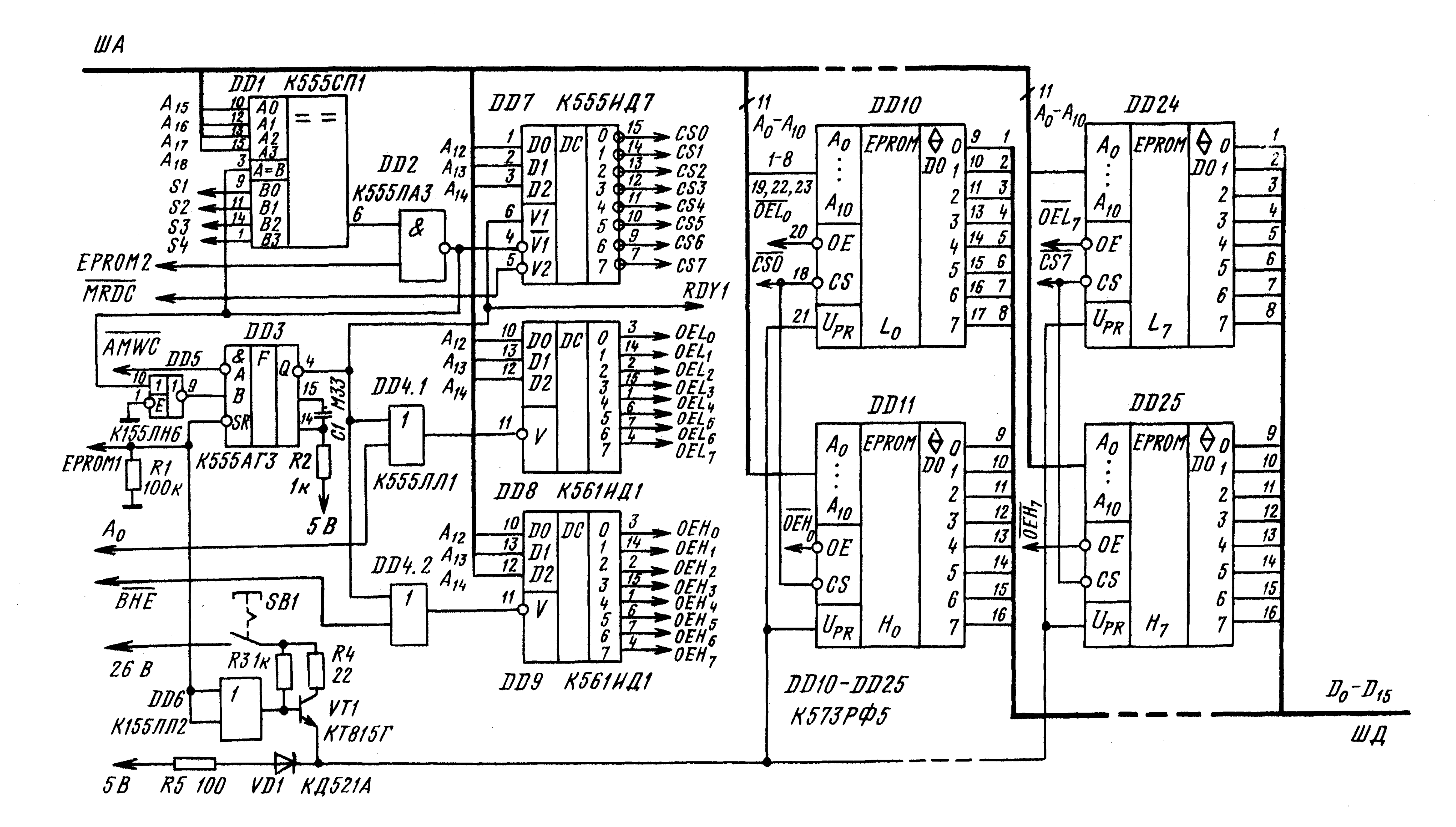


Рис. 5.1. Блок памяти на микросхемах РПЗУ-УФ

байт. Заметим, что аналогичная структура блока ОЗУ рассмотрена в § 3.1.

При построении модуля соединены: одноименные адресные входы и выходы программирования (вывод 21) у всех микросхем, входы CS у микросхем в каждой странице и одноименные информационные выводы у микросхем, относящихся к одной группе банков, как показано на рис. 5.1. Адресные линии соединены с линиями ША $A_0 - A_{11}$. Причем каждая линия шины нагружена 16 входами, что обусловливает необходимость буферизации ША. Этот вопрос подробно рассмотрен в § 3.1. В данном случае он решается аналогично.

Информационные выводы соединены с одноименными линиями ШД по схеме: выводы микросхем всех L-банков с линиями $D_0 - D_{15}$ шины, H-банков с линиями $D_8 - D_{15}$.

Выводы CS микросхем каждой страницы подключены к дешифратору DD7, а выводы OE микросхем L-банков подключены к выходам дешифратора DD8, а H-банков дешифратора DD9. Дешифраторы DD7, DD8 и DD9 преобразуют адресный код $A_{12} - A_{14}$ в сигналы выбора страницы при считывании слова (DD7), L-банка (DD8) и H-банка (DD9) при записи (программировании).

Кроме указанных дешифраторов, в структуру контроллера входят адресное устройство DD1, DD2 и устройство формирования управляющих сигналов для режима записи DD3—DD6, VT1.

Блок памяти может работать в режимах хранения, считывания и программирования. Требования к управляющим сигналам микросхемы К573РФ5 в названных режимах приведены в табл. 4.7. Стирание информации производят облучением УФ светом кристалла микросхемы с соблюдением требований, указанных в § 4.3.

Для обращения к блоку РПЗУ необходимо совпадение кода адреса блока, установленного перемычками S1 — S4 (см. также рис. 3.2) и кода $A_{15} - A_{18}$, принятого с линий ША. Выполнение этого условия контролирует компаратор DD1, на выходе которого появляется 1. Элемент DD2 анализирует уровень сигнала EPROM2 разрешения обращения к ПЗУ и при 1 формирует сигнал разрешения для DD7 и других узлов контроллера.

В режиме считывания при $\overline{MRDC} = 0$ DD7 выбирает страницу, формируя сигнал 0 на одном из своих выходов, соответствующем коду $A_{12} - A_{14}$. В это время выходы дешифраторов DD8, DD9 находятся в состоянии 0 из-за блокирующего действия сигнала 1 на их V входах. Этот сигнал формирует DD3 при $\overline{AMWC} = 1$ (упреждающий на такт сигнал записи) и EPROM1 = = 0 (запрещение обращения к блоку РПЗУ для программирования). Наличие 0 на входах OE всех микросхем означает, что они подготовлены к считыванию информации по выставленному

на ША адресу. Но переходят в режим считывания только две микросхемы выбранной страницы.

Блок РПЗУ находится в режиме хранения при отсутствии обращения, когда DD7 закрыт и имеет 1 на всех выходах.

Режим программирования обеспечивают сигналы $\overline{AMWC}=0$ и EPROM1 = 1 при выполнении условия обращения к блоку РПЗУ. Контроллер в этом режиме формирует сигналы управления, требования к которым приведены в табл. 4.7. На выходе DD3 формируется отрицательный импульс длительностью 50 мс, задаваемой времязадающими элементами R2, C1. Этот импульс блокирует DD7, обеспечивая тем самым на входах CS всех микросхем уровень 1, и открывает доступ к DD8, DD9 через элементы DD4.1 и DD4.2 сигналам выбора банков: A_0 и $\overline{BHE}$.

При $A_0=0$ и $\overline{BHE}=0$ открыты для формирования сигналов OEL = 1 и OEH = 1 на одном из выходов оба дешифратора DD8, DD9. Если равен 0 один из сигналов, то появится на выходе соответствующего дешифратора 1 и будет, следовательно, выбран для записи один из банков.

Записываемое слово или байт поступает на информационные выводы микросхем по линиям ШД. Записываются все разряды одновременно в выбранные дешифраторами DD8, DD9 микросхемы при поступлении на вход программирования U_{PR} напряжения 26 В. Это напряжение коммутирует на входы U_{PR} всех микросхем при закрытом ключе SB1 транзистор VT1, открываемый сигналом EPROM1 через элемент DD6. Диод VD1 необходим для развязки цепей напряжений питания 5 В и программирования. Запись длится 50 мс. Для задержки процессора на это время контроллер направляет ему сигнал низкого уровня для подтверждения обмена.

Таким образом, программирование блока РПЗУ встроенными средствами осуществляется в обычном цикле обращения для записи, но с удлинением длительности цикла.

Рассмотренный блок ПЗУ может быть существенно упрощен, если с контроллера снять функцию встроенного программатора. Возможны другие варианты контроллеров, в том числе и применение микросхемы К588ВГ2 по способу, показанному на рис. 3.6.

Изменение емкости блока ПЗУ в сторону ее уменьшения не требует изменений в схеме контроллера. При применении микросхем РПЗУ других типов такие изменения необходимы, поскольку существуют отличия управляющих сигналов в режиме программирования.

Наибольший эффект при реализации перепрограммируемой энергонезависимой памяти с минимальными аппаратными средствами позволяет получать микросхема К573РФ3, представляющая собой однокристальный блок РПЗУ емкостью 4К×16 бит. Достаточно сказать, что четыре таких микросхемы способны полностью

заменить устройство памяти, приведенное на рис. 5.1, которое для своей реализации требует более 23 микросхем.

Микросхема в своей структуре содержит все функциональные узлы, которые имеет рассмотренный блок РПЗУ. Встроенные интерфейсные средства ориентированы на подключение к 16-разрядной магистрали МПИ без дополнительных элементов сопряжения. Встроенное адресное устройство, эквивалентное по выполняемой функции DD1 на рис. 5.1, но программируемое извне электрическими сигналами, позволяет подключать к магистрали до 8 микросхем и формировать таким образом блоки памяти емкостью до 64K байт.

Свойства и характеристики микросхем К573РФ3 приведены в § 4.3.

5.2. Функциональные узлы на микросхемах ППЗУ

Применение микросхем ППЗУ позволяет эффективно решать задачи по разработке логических узлов с меньшими затратами аппаратных средств по сравнению с их аналогами на комбинационных микросхемах [44—48]. Это свойство микросхем ППЗУ широко применяют при построении дешифраторов, формирователей управляющих сигналов, кодопреобразователей, устройств сопряжения, знакогенераторов и т. д.

Следует обратить внимание и на то обстоятельство, что микросхемы ППЗУ могут быть запрограммированы пользователем под конкретную задачу. Имея в своем распоряжении несколько «чистых» микросхем ППЗУ, разработчик может на основе одного типа микросхемы реализовать различные функциональные узлы. Эти же задачи можно решить и с помощью микросхемы РПЗУ, причем даже с еще более высокой эффективностью, поскольку они допускают неоднократное программирование. Однако чаще применяют микросхемы ППЗУ: они дешевле, проще в программировании, а главное, более быстродействующие (см. табл. 4.2 и 4.3).

Рассмотрим ряд примеров применений микросхем ППЗУ для выполнения различных функций, обратив основное внимание на способы решения схемотехнических задач по построению функциональных узлов и управлению ими.

На рис. 5.2 приведена схема мультиплексора адресных кодов, реализованного на трех микросхемах К556РТ5, который заменяет аналогичное устройство на четырех микросхемах К155КП2 (см. рис. 3.9) в контроллере динамического ОЗУ.

Микросхемы DD1, DD2 предназначены для передачи на адресные входы микросхем ОЗУ адресов строк $A_X\{A_0 - A_7\}$ и столбцов $A_Y\{A_8 - A_{15}\}$, поступающих с линий шины адреса: линии A_X подведены ко входам DD1, линии A_Y ко входам DD2. Микро-

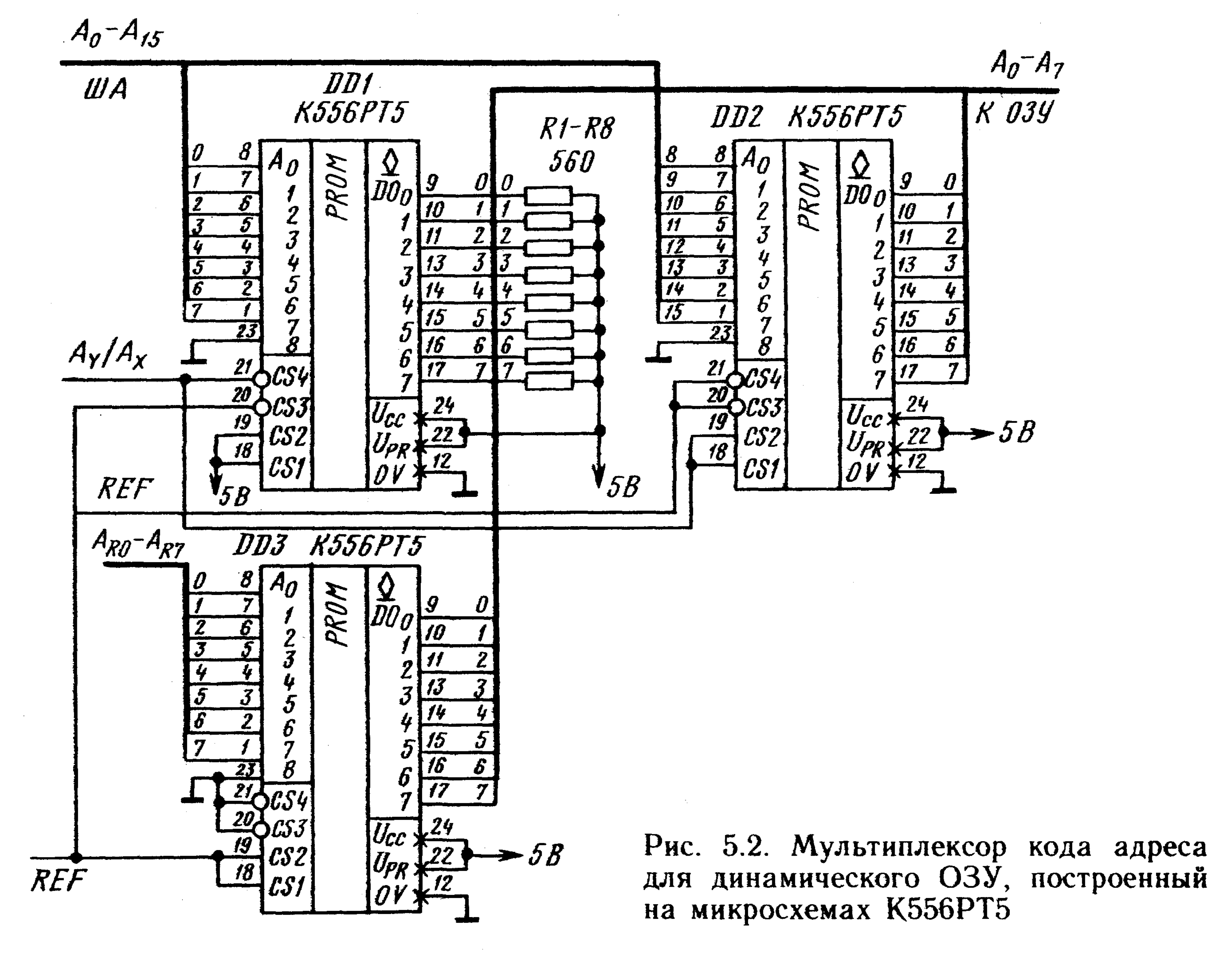


Рис. 5.2. Мультиплексор кода адреса для динамического ОЗУ, построенный на микросхемах К556РТ5

схема DD3 служит для передачи адресов регенерации A_{R0} — A_{R7}, которые формирует счетчик регенерации.

Все микросхемы имеют одинаковую прошивку: в каждую ячейку микросхемы «зашит» код ее адреса. Способы и режимы программирования микросхем ППЗУ рассмотрены в § 5.3.

При объединении микросхем в модуль учтено, что они имеют открытые коллекторные выходы. Поэтому для соединения одноименных выходов применен способ «монтажное ИЛИ» с подключением к ним напряжения питания через нагрузочные резисторы. Сопротивления резисторов выбраны из условия ограничения наибольшего выходного тока любой микросхемы предельно допустимым значением.

Управляющие сигналы A_Y/A_X и REF поданы на входы CS1 — CS4 микросхем так, чтобы обеспечить заданный режим их работы. В режиме обмена магистрали с ОЗУ сигнал регенерации REF=0. Поэтому микросхема DD3 блокирована, ее выходы находятся в высокоомном состоянии, а микросхемы DD1, DD2 поочередно сигналом A_Y/A_X открываются и передают на адресные входы блока ОЗУ адреса строк при $A_Y/A_X=0$ и столбцов при $A_Y/A_X=1$.

В режиме регенерации сигнал REF=1 блокирует DD1, DD2 и открывает DD3 для передачи в блок ОЗУ адресов строк A_{R0} — A_{R7}.

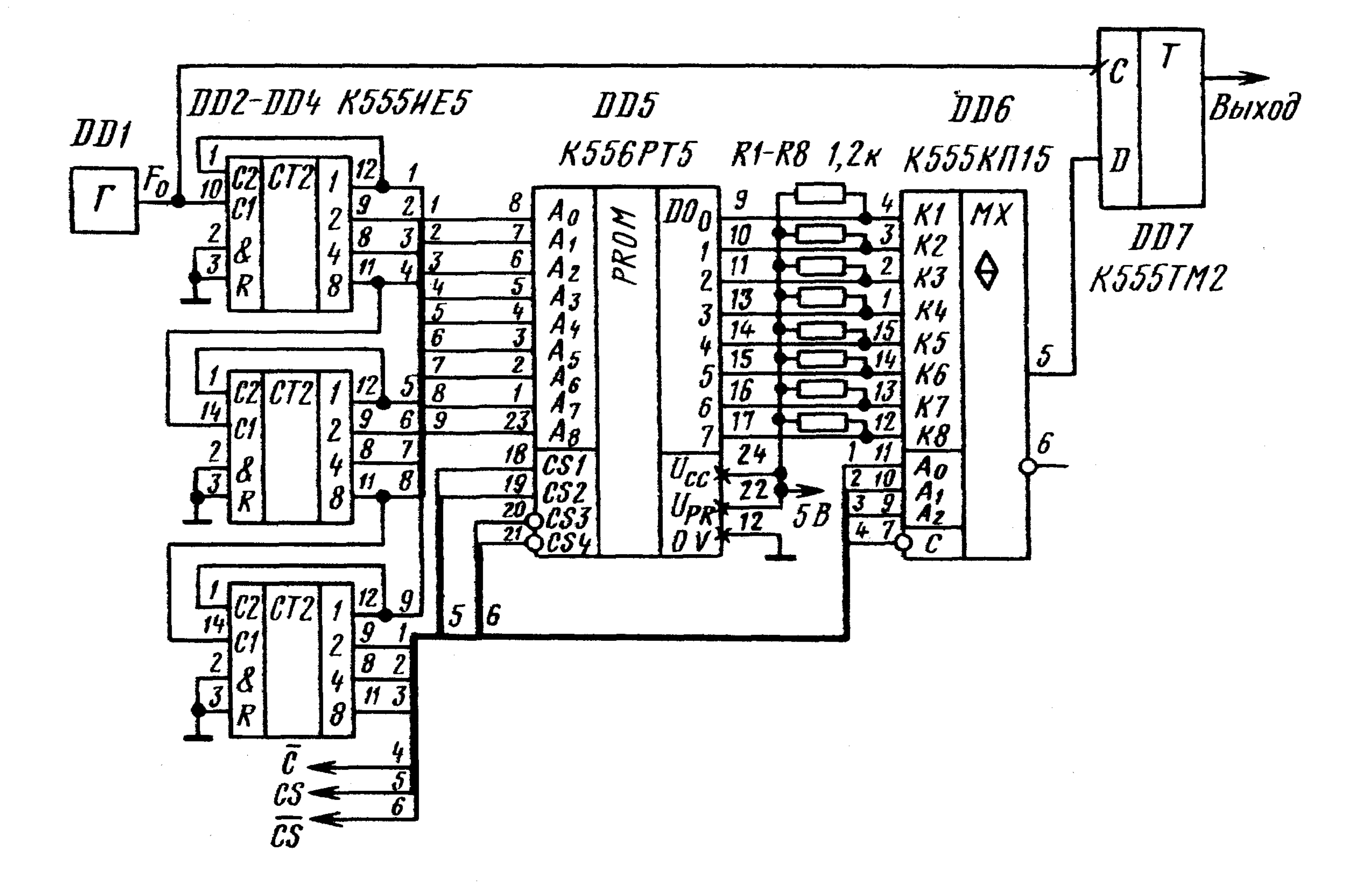


Рис. 5.3. Формирователь сигналов управления

На основе микросхем ППЗУ можно выполнить и другие функциональные узлы контроллеров ОЗУ и ПЗУ, запрограммировав их для выполнения требуемых функций.

Пример реализации формирователя управляющих сигналов представлен на рис. 5.3. Устройство построено на микросхеме DD5, в которую предварительно заносят коды заданных временны́х последовательностей сигналов. Для подготовки таблицы программирования (карты прожига) необходимо каждому коду адреса, начиная с нулевого, поставить в соответствие выходной код, который определен видом временны́х диаграмм.

Задающий генератор DD1 и счетчик DD2 — DD4 формируют код адреса. В непрерывном режиме работы этих узлов на адресных входах DD5 происходит перебор адресов с частотой F_0 от нулевого до конечного, в результате чего на выходах этой микросхемы формируются запрограммированные временны́е диаграммы. Взаимный сдвиг сигналов на выходах кратен длительности такта. $T_0 = 1/F_0$. Это надо учитывать при оценке возможности использования такого способа реализации генератора управляющих сигналов. Например, для микросхемы К556РТ5 минимальная длительность такта определяется временем цикла считывания и равна 80 ... 100 нс (см. табл. 4.2). Следовательно, частота смены адресов на ее входах F_0 не должна превышать 10 МГц. Исходя из этого, выбирают микросхемы и способ реализации генератора DD1 и счетчика адресов.

Например, при расчете быстродействия устройства, приведенного на рис. 5.3, следует исходить из того, что с учетом

времени установления счетчика DD2 — DD4, равного 200 нс, минимальная длительность такта T_0 не может быть меньше 300 нс, а наибольшая частота F_0, следовательно, не должна превышать 3 МГц. Если принять в расчет максимальные значения временны́х параметров, то частота будет еще ниже.

При наличии на выходе схемы мультиплексора DD6 устройство можно использовать в качестве одноканального формирователя кодовых последовательностей заданного вида с возможностью изменять вид последовательностей в автоматическом режиме, как показано на рис. 5.3, или под воздействием управляющего кода A_0 — A_2, подаваемого на DD6 от другого источника.

При $A_0A_1A_2 = 000$ на выход DD6 коммутируется последовательность, получаемая с выхода DO_0 микросхемы DD5, при коде 100 — последовательность с выхода DO_1 и т. д. В автоматическом режиме эти последовательности циклически чередуются с периодом в 512 тактов. Триггер DD7 необходим для исключения влияния процессов установления кодов счетчика на выходной сигнал.

Входы $\overline{C}$, CS, $\overline{CS}$ расширяют возможности устройства в отношении гибкости управления его работой, наращивания емкости ППЗУ и за этот счет увеличения числа вариантов кодовых последовательностей.

Для уменьшения периода последовательностей можно ограничить используемое адресное пространство микросхемы ППЗУ, сократив разрядность измеряемого адресного кода и соответственно разрядность счетчика-формирователя. В таком случае целесообразно использовать микросхему ППЗУ меньшей емкости.

Некоторое видоизменение рассмотренной схемы путем замены мультиплексора цифроаналоговым преобразователем позволяет получать генератор аналоговых сигналов с заданными характеристиками.

На рис. 5.4 приведен фрагмент схемы синтезатора аналоговых сигналов, построенный на основе микросхемы ППЗУ К556РЕ3. Формирователь адресных кодов в этом устройстве

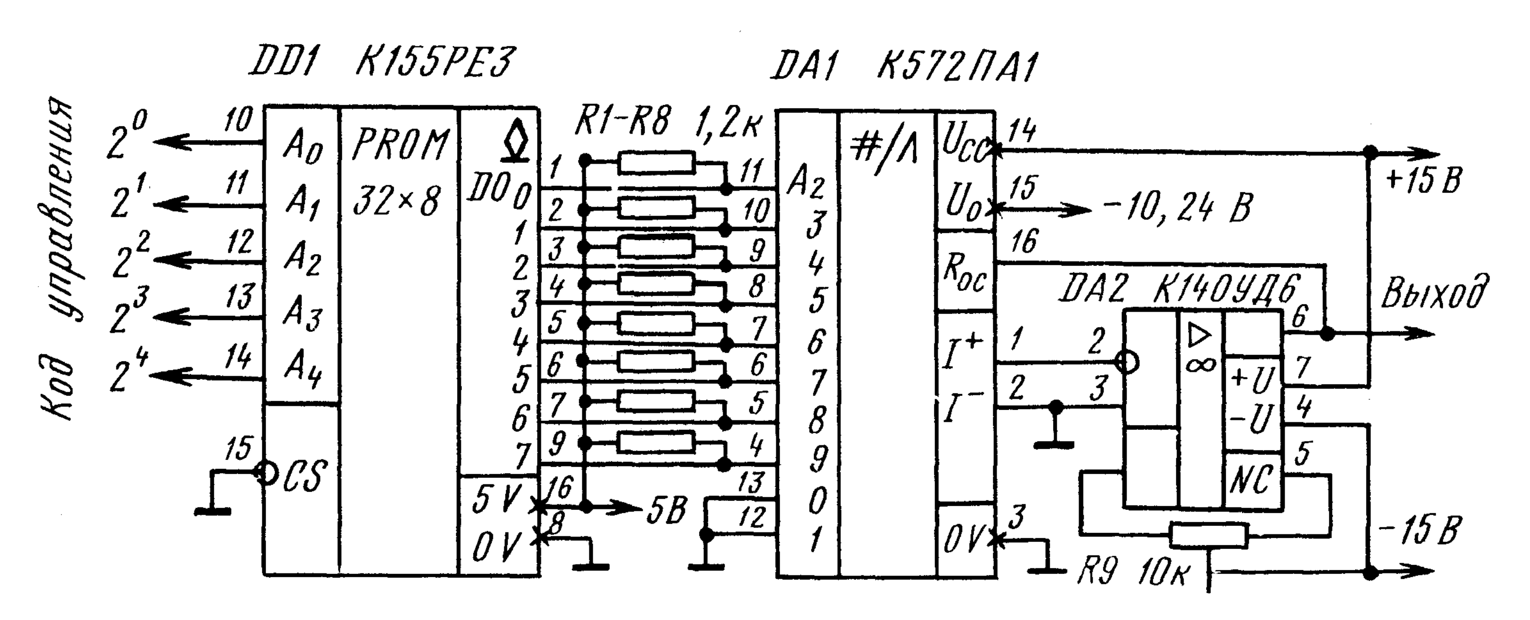


Рис. 5.4. Формирователь аналоговых сигналов

может быть выполнен по схеме на рис. 5.3. Микросхема DD1 содержит кодовые комбинации, определяющие форму аналогового сигнала, который формирует цифроаналоговый преобразователь DA1 при последовательном переборе адресов DD1. Операционный усилитель на выходе DD2 обеспечивает формирование уровней напряжения в диапазоне 0 ... 10,24 В. Заметим, что при необходимости можно ввести схему управления значением и полярностью опорного напряжения и получить биполярные выходные сигналы.

Точность задания синтезируемой функции зависит от разрядности ППЗУ и ЦАП и определяется значением младшего разряда цифрового кода и шкалой преобразования ЦАП. В данном примере она равна 40 мВ. Повышение точности задания функции достигается увеличением разрядности ППЗУ и ЦАП.

Центральным элементом устройства является ППЗУ, которое предварительно программируется цифровыми кодами заданной функции (сигнала). Для составления карты прожига необходимо найти на одном периоде, равном 2^m, изменения синтезируемой функции, где m — разрядность кода ППЗУ, ее значения в 2^m точках отсчета: по одной в каждом такте, в масштабе от 0 до 2^n, где n — разрядность ЦАП. В рассматриваемом примере $m=5$, $n=8$. Затем значение каждой выборки отображают 8-разрядным кодом, учитывая при этом, что наибольшее значение функции соответствует единичному набору разрядов кода. Номер отсчета является адресом ячейки ППЗУ, куда требуется занести цифровой код данной выборки функции.

На основе рассмотренного принципа могут быть реализованы генераторы стимулирующих воздействий в измерительных системах, в том числе генераторы с управляемой формой колебаний, генераторы тона в цифровых электромузыкальных инструментах и т. д.

Такое устройство можно применить для автоматического управления исполнительным прибором (переключателем, регулятором и т. п.). Тогда в микросхему ППЗУ необходимо занести программу, соответствующую кодам управляющего воздействия на входах DD1. При объединении нескольких микросхем с использованием входа CS появляется возможность синтезировать несколько функций, записав предварительно их коды в микросхемы ППЗУ.

Может представить интерес для многих применений вариант использования микросхемы ППЗУ, приведенный на рис. 5.5. Устройство аналогично рассмотренному по принципу построения, но имеет более широкие возможности по синтезу сигналов, что обусловлено увеличением емкости ППЗУ и схемой управления. Триггер DD3 под воздействием входного цифрового сигнала формирует на выходе сигнал управления старшим разрядом кода адреса A_{10} микросхемы ППЗУ DD4. Таким образом, адрес-

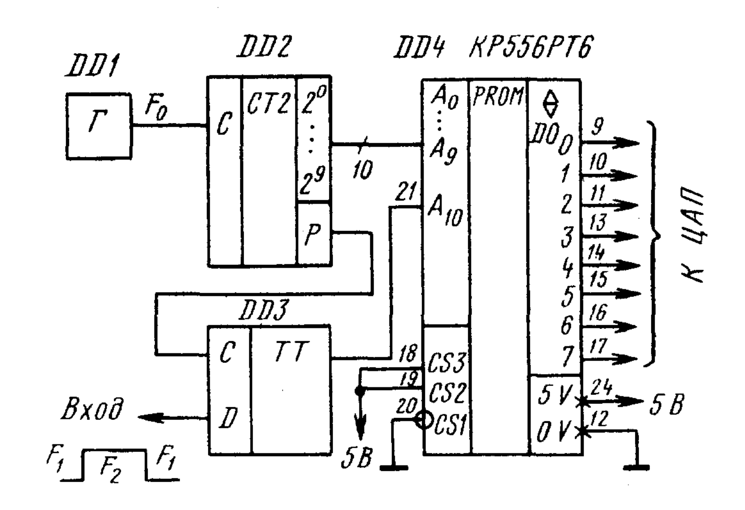


Рис. 5.5. Преобразователь дискретных сигналов в двухтональные

Рис. 5.6. Преобразователь двоично-десятичного кода в семиэлементный код управления индикатором

A	Выходы DO							
	0	1	2	3	4	5	6	7
0	0	0	0	0	0	0	1	1
1	1	0	0	1	1	1	1	1
2	0	0	1	0	0	1	0	1
3	0	0	0	0	1	1	0	1
4	1	0	0	1	1	0	0	1
5	0	1	0	0	1	0	0	1
6	0	1	0	0	0	0	0	1
7	0	0	0	1	1	1	1	1
8	0	0	0	0	0	0	0	1
9	0	0	0	0	1	0	0	1

$V_h = 0$

ное пространство DD4 разделено на две страницы, в каждую из которых заносят коды разных функций.

При работе устройства на выходе ЦАП (см. рис. 5.4) будут формироваться сигналы, соответствующие одной из двух функций, а именно той из них, которая выбрана значением сигнала на входе DD3. Устройство может быть использовано, например, для преобразования двоичного сигнала в двухтональный сигнал звуковой частоты. Для реализации этой возможности следует одну страницу, соответствующую $A_{10}=0$, запрограммировать функцией синуса с периодом $T_1=1/F_1$, а вторую $A_{10}=1$ — функцией синуса с периодом $T_2=1/F_2$, где F_1, F_2 — выбранные частоты. Далее надо определить, как разместить в адресном пространстве страниц коды функций. Потребуем, чтобы функции укладывались в адресном пространстве целым числом периодов $П_1$, $П_2$ соответственно. Тогда из равенства адресного пространства страниц следует $П_1T_1=П_2T_2$, или $F_2/F_1=П_2/П_1$.

Для примера выберем $F_1=1400$ Гц, $F_2=2100$ Гц, тогда $П_2/П_1=3/2$, т. е. полный цикл перебора адреса для первой страницы соответствует двум периодам частоты 1400 Гц, а для второй — трем периодам частоты 2100 Гц.

Для составления карты прожига необходимо найти значения 1024 выборок на интервале двух периодов первой функции для страницы ППЗУ при $A_{10}=0$ и на интервале трех периодов второй функции для страницы $A_{10}=1$. Учитывая, что номер выборки является адресом ячейки ППЗУ, занести в карты первой и второй страниц ППЗУ 8-разрядные коды выборок функций.

При возможности снизить требования к точности задания функций можно использовать микросхемы меньшей емкости, например две микросхемы К155РЕ3, объединив их одноименными выводами и использовав вход CS для сигнала адреса страниц.

Напротив, если требования к точности заданий функций повышены, то следует применять микросхемы с большей емкостью. Для синтеза синусоидальных колебаний целесообразно использовать микросхемы ПЗУМ со стандартными прошивками синус-функций (см. § 4.1).

В рабочем режиме устройства на рис. 5.5 переключение страниц ППЗУ производит сигнал на входе DD3: при 0 на выходе ЦАП устройства появляется сигнал с частотой $F_1 = 1400$ Гц, считываемый с первой страницы, при 1 — сигнал $F_2 = 2100$ Гц, считываемый со второй страницы. Наибольшая частота синтезируемых колебаний определяется предельной частотой операционного усилителя, временем установления ЦАП и временем цикла считывания микросхемы ППЗУ.

Пример реализации на основе микросхемы ППЗУ К155РЕ3 преобразователя двоично-десятичного кода в семиэлементный код управления индикатором приведен на рис. 5.6. Здесь же показана таблица состояний микросхемы ППЗУ, которая является и таблицей программирования: слева в десятичной форме представлены адреса ячеек памяти от нулевого до девятого, справа — код, который надо занести в соответствующие ячейки. При составлении таблиц учтено, что микросхема DD1 имеет открытый коллекторный выход, и поэтому для зажигания сегмента на нем должен быть уровень 0. Точкой управляет сигнал V_h, подаваемый на вход старшего разряда кода адреса: при $V_h = 0$ точка отсутствует, при $V_h = 1$ — индицируется. Вывод CS использован для сигнала гашения индикатора: при 1 все выходные транзисторы микросхемы DD1 закрываются, разрывая цепи для токов через сегменты индикатора.

Для построения различных логических устройств, особенно устройств управления с нерегулярной логикой формирования выходных сигналов, целесообразно применять микросхемы ПЛМ [48].

Характеристика микросхем ПЛМ приведена в § 4.2. Способы их применения в устройствах аналогичны микросхемам ППЗУ матричного типа. Основное отличие состоит в режимах программирования.

5.3. Программирование микросхем ППЗУ

Процедуру предварительной записи информации в микросхему ППЗУ перед установкой на печатную плату называют ее программированием. Эта операция является важнейшей состав-

ной частью решения любой практической задачи по применению микросхем ППЗУ. В этом убеждают и те примеры устройств, которые рассмотрены в § 5.2.

В исходном для программирования состояния микросхема ППЗУ в своей матрице имеет все перемычки, что соответствует наличию во всех элементах памяти 0 или 1 в зависимости от характеристики усилителя считывания (см. § 4.2). Программирование микросхемы представляет собой процесс пережигания перемычек в тех ЭП, где требуется изменить информацию. Эту операцию выполняют с помощью устройства, называемого программатором, в ручном или автоматическом режиме.

Пережигание перемычек производят по одной последовательно во времени, чтобы не нарушить температурный режим микросхемы. Принцип программирования поясним с помощью рис. 5.7, на котором показаны элементы простейшего программатора: устройство для формирования кода адреса, устройство контроля, генератор одиночных импульсов, группа переключателей SA1 — SA4 и контактов реле K1.1 — K1.3, обеспечивающих коммутацию цепей при программировании микросхемы.

На этапе подготовки микросхему проверяют на наличие логических 0 во всех ЭП, подавая на адресные входы A_0 — A_7 все адресные наборы и контролируя состояние выходов устройством контроля. Надо иметь в виду, что предприятие-изготовитель оставляет за собой право поставлять микросхемы ППЗУ с начальной информацией в некотором количестве ячеек памяти, обычно не более четырех. Причиной такого явления могут быть испытания микросхем на программируемость при их выпуске. Применительно к микросхеме К556РТ4 это означает, что ряд ячеек памяти может содержать логические 1. Ячейки с началь-

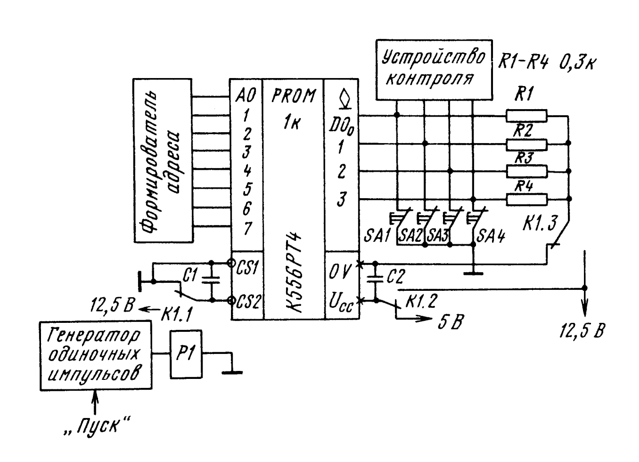


Рис. 5.7. Простейший программатор микросхем ППЗУ

ной информацией указывают в сопроводительном документе. При программировании надо либо исключить из обращения ячейки с начальной информацией, либо записывать в них информацию с учетом имеющихся в них логических 1. По окончании контроля начального состояния микросхемы ключами SA1 — SA4 закорачивают ее выходы с корпусом. Управляющие входы CS1 и CS2 также соединены с корпусом. Заметим, что при программировании микросхем с начальным заполнением логическими 1 выходы соединяют не с корпусом, а с источником напряжения 5 В. На этапе программирования кодом адреса выбирают ячейку памяти, в которую необходимо занести логические 1. Затем размыкают ключ того выхода, которому принадлежит программируемый ЭП, и запускают генератор одиночных импульсов. Реле K1, переключив свои контакты, коммутирует на выводы CS2, U_{cc} и выбранного выхода DO напряжение 12,5 В на короткое время. Время программирования в нашем примере определяет длительность удержания реле во включенном состоянии. Обычно для пережигания перемычки достаточно 100 ... 300 мс. С началом программирования в структуре микросхемы (см. рис. 4.4) открывается формирователь выбранного выхода, например F_2, и создается низкоомная цепь для тока от $U_{cc}=12{,}5$ В через открытый эмиттерный переход транзистора i строки и второго столбца, через открытый ключ VT2 и выход F_2 на корпус. Протекающий через перемычку импульс тока значительной амплитуды пережигает ее. В это время формирователи других выходов закрыты, поскольку все ключи, кроме SA2, замкнуты. В следующий цикл программируют другой ЭП этой же ячейки памяти, и так до тех пор, пока не будут занесены все 1 в данную ячейку. Затем изменением адреса переходят к соседней ячейке, и цикл повторяется.

После программирования следует проверить состояние всех ячеек памяти и при необходимости повторить программирование. Необходимость повторения вполне вероятна, так как предприятие-изготовитель гарантирует надежное программирование только части выпускаемых микросхем. Эту часть оговаривают в технических условиях коэффициентом программирования, значение которого для разных типов микросхем ППЗУ лежит в пределах 0,65 ... 0,9. Например, для рассматриваемой микросхемы КР556РТ4 коэффициент программирования равен 0,65. Это означает, что из 100 микросхем, подвергнутых программированию, только у 65 гарантирована правильная запись информации и соответствие их электрических параметров установленным нормам.

Более надежным является программирование путем подачи трех серий импульсов (на вход управления, на выход питания и на выбранный выход) длительностью 25 ... 50 мкс каждый со скважностью 10 с фронтом 0,3 ... 3 мкс. Такой режим програм-

мирования может быть реализован схемой программатора с автоматическим формированием программирующих импульсов.

При программировании микросхем ППЗУ надо учитывать возможность восстановления проводящей перемычки со временем из-за явления миграции ионов. Установлено, что если пережигание происходит при импульсе с крутым фронтом, то оно носит характер микровзрыва с интенсивной окислительной реакцией на краях разрыва. В таком случае возможность восстановления перемычки существенно уменьшается. Практически отсутствует эффект восстановления после пережигания перемычек из поликристаллического кремния (серия К541) и силицида платины (серия К1608).

Технология программирования микросхем ППЗУ предусматривает три режима: нормальный, форсированный и дополнительный. Более подробно вопрос программирования микросхем ППЗУ рассмотрен в [3, 49]. Здесь лишь уместно заметить, что указанные режимы отличаются длительностью программирующих импульсов и их числом. Например, если в нормальном режиме для микросхем серии К556 общее время записи не должно превышать 400 мс, то в форсированном режиме это время увеличивают до 1,5 с. Если после указанных режимов программирования информацию записать не удается, то микросхему бракуют.

Для выявления слабых мест в запрограммированной микросхеме ее подвергают электротермотренировке в течение не менее 168 ч при температуре 125° С с последующим контролем правильности записанной информации и электрических параметров. В случае нарушения записанной информации повторяют цикл программирования и электротермотренировку. При повторном нарушении микросхему бракуют.

При программировании микросхем с перемычками из поликристаллического кремния (серия К541) и из силицида платины (серия К1608) электротермотренировку можно не проводить.

Вариант программатора, рассчитанный на ручной режим программирования и удобный для практической работы в любительских условиях, приведен на рис. 5.8 [47]. Функциональная схема содержит генератор одиночных импульсов длительностью 50 .., 100 мс, построенный на элементах DD2.1 — DD2.4 и управляемый кнопкой S6, формирователь кода адреса на переключателях S1 — S5, электронный ключ VT1 — VT4 с временем коммутации менее 1 мкс для подачи на выбранный переключателем S7 выход микросхемы ППЗУ DD1 и на ее вывод U_{cc} напряжения программирования $U_{PR}=10$ В, устройство контроля записи на диодах VD4, VD5.

Устройство можно достаточно легко приспособить для программирования микросхем ППЗУ большей емкости, чем К155РЕ3. Для этого надо расширить адресное устройство.

В исходном состоянии матрица микросхемы К155РЕ3 запол-

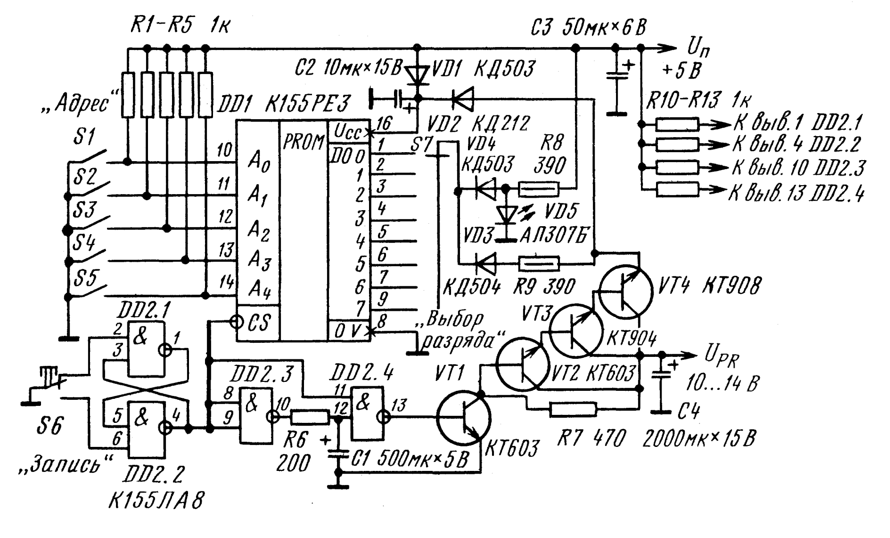


Рис. 5.8. Принципиальная схема программатора микросхем ППЗУ

нена 0. Чтобы проверить это, необходимо последовательно обратиться при установленном переключателями S1 — S5 адресе к каждому ЭП переключателем S7. Если в данном ЭП перемычка цела, т. е. находится 0, то светодиод VD5, зашунтированный диодом VD4, гореть не будет. При нарушении перемычки, что соответствует 1 в данном ЭП, светодиод загорится. Эту процедуру повторяют для всех 32 адресов микросхемы.

Программирование осуществляют в соответствии с картой прожига (см. § 5.2) в следующем порядке: набирают адрес ЯП, переключателем S7 выбирают ЭП, в который следует записать 1, и кнопкой S6 запускают генератор. При этом формируется сигнал 1 разрешения программирования, который с выхода DD2.2 поступает на вход микросхемы ППЗУ. На выходе DD2.4 появляется отрицательный импульс, длительность которого 50 ... 100 мс задает цепь R6C1. Транзистор VT1 закрывается, а VT2 — VT4 открываются и коммутируют напряжение 10 В на вывод питания DD1 через R8, VD4 и выбранный S7 выход DD1 через R9, VD3. После отжатия S6 автоматически осуществляется контроль: если диод VD5 загорелся, то запись 1 удалась. При необходимости повтора режима записи (коэффициент программируемости у К155РЕ3 равен 0,3) рекомендуют увеличивать напряжение программирования ступенями по 0,5 В до 14 В.

Аналогичное по назначению устройство для микросхем РПЗУ-УФ описано в [52].

Выпускаемые промышленностью программаторы, предназначенные для автономного применения, позволяют программиро-

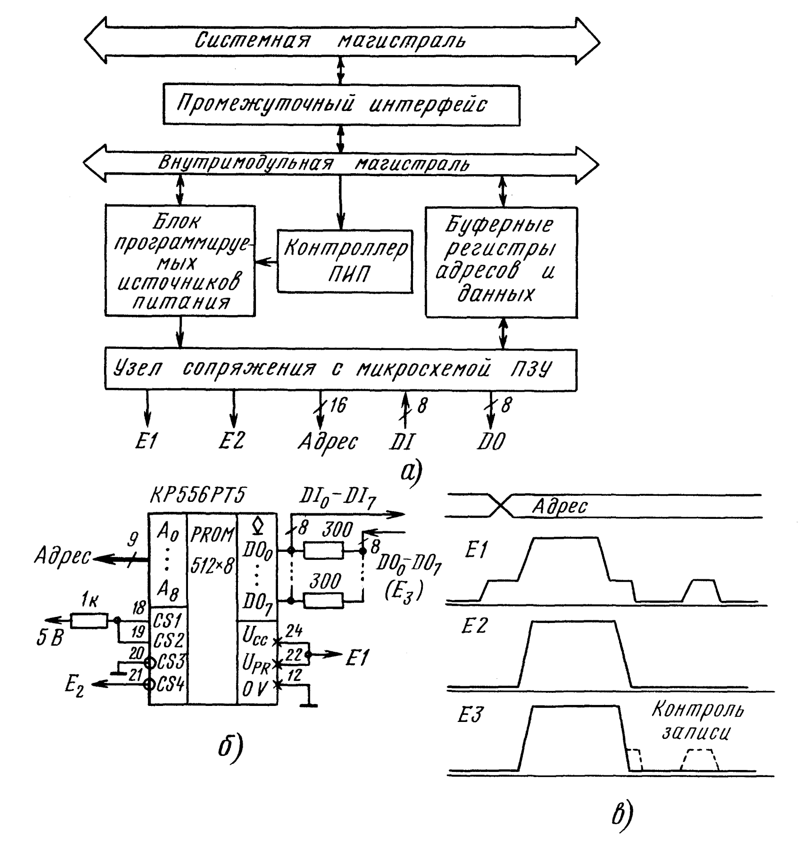


Рис. 5.9. Устройство автоматического программирования микросхем ППЗУ, РПЗУ:
а — структурная схема; *б* — схема подключения микросхемы ППЗУ; *в* — временны́е диаграммы напряжений программирования

вать микросхемы ППЗУ и РПЗУ в пошаговом и автоматическом режимах с контролем записи и предварительным редактированием заносимой в микросхему информации. Такими возможностями располагают, в частности, серийные программирующие устройства типа АУПП, 815, УЗП-80 и др. [3].

Активно разрабатываются и встроенные средства программирования, ориентированные на конкретные микроЭВМ, например «Электроника К1-20» [55], «Электроника Д3-28» [56], «Радио-86РК» [51] и др. Перспективным для практики является направление создания универсальных программаторов для всех микросхем ППЗУ и РПЗУ, способных к быстрой перенастройке при изменении типа микроЭВМ [50].

Такие программаторы должны иметь три программируемых

источника с напряжением от 0 до 26 В с токами нагрузки до сотен миллиампер и электронные ключи с временем переключения менее 0,6 мкс. Вариант структурного построения программатора встроенного типа представлен на рис. 5.9. Конструктивно программатор представляет собой модуль, который имеет средства сопряжения с системной магистралью через узел промежуточного интерфейса и с микросхемой ППЗУ, РПЗУ, которая должна быть запрограммирована. В структуру модуля входят блок программируемых источников напряжения, контроллер этого блока, буферные регистры адресов и данных, узел промежуточного интерфейса и узел сопряжения с программируемой микросхемой.

Основное назначение модулей программирования состоит в преобразовании сигналов в той или иной системной магистрали в сигналы, необходимые для программирования микросхемы конкретного типа. Например, микросхема К556РТ5 подключается к модулю по схеме на рис. 5.9, *б* и ее программирование осуществляют сигналы генерируемых модулем амплитудно-временных диаграмм, показанных на рис. 5.9, *в*.

Комплект модулей программирования и узлов сопряжения для микросхем ППЗУ, РПЗУ всей номенклатуры приведен в [54].

5.4. Знакогенератор на микросхемах ПЗУМ

Применение микросхем ПЗУ масочного типа со стандартной прошивкой рассмотрим на примере генератора знаков (символов), реализованного на микросхемах К155РЕ21 (буквы русского алфавита), К155РЕ22 (буквы латинского алфавита), К155РЕ23 (арифметические знаки и цифры). Каждая из названных микросхем применяется совместно с микросхемой К155РЕ24, содержащей дополнение к знакам.

Схема блока памяти, который обеспечивает формирование символов, представлена на рис. 5.10 [57, 18]. Микросхемы ПЗУМ DD1 — DD4 объединены одноименными адресными входами и выходами, причем объединение выходов ОК выполнено по схеме «монтажное И» с подключением к ним нагрузочных резисторов и источника напряжения питания. Входы CS использованы для выбора нужной из микросхем старшими разрядами кода адреса A_8, A_9.

Выходы К155РЕ24 через мультиплексор DD5, управляемый сигналами A_8, A_9, используют как дополнение с выходами основных трех микросхем: DO_2 с К155РЕ21, DO_1 К155РЕ22, DO_0 с К155РЕ23.

Блок памяти имеет 10 адресных входов A_0 — A_9 и пять выходов V1 — V5, на которых формируются сигналы управления устройством отображения информации.

Код адреса состоит из трех частей: A_0 — A_2, A_3 — A_7, A_8A_9. Младшие разряды выбирают строку символа, разряды A_3 — A_7

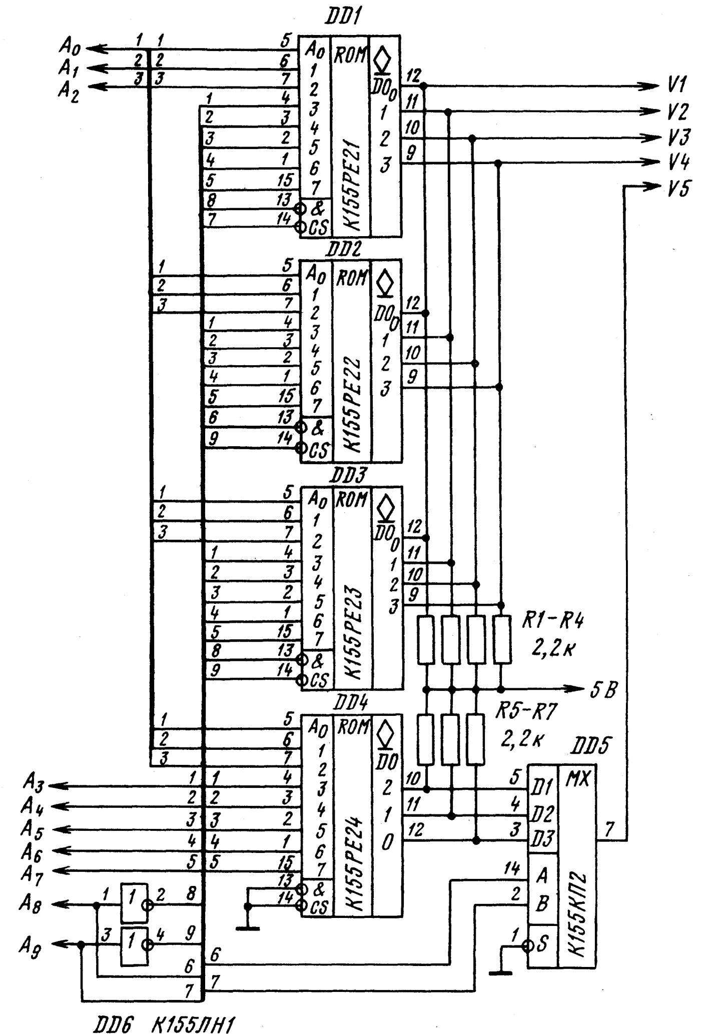


Рис. 5.10. Знакогенератор на микросхемах ПЗУМ

DD1, DD4

$A_3 - A_7 = 0$, $A_8 = 1$, $A_9 = 0$

A_2	A_1	A_0	V1	V2	V3	V4	V5
0	0	0					
0	0	1	1		1	1	1
0	1	0	1		1		1
0	1	1	1		1		1
1	0	0	1	1	1		1
1	0	1	1		1		1
1	1	0	1		1		1
1	1	1	1		1	1	1

определяют вид символа из набора символов одной микросхемы, A_8A_9 выбирают микросхему и дополнительный к ней выход К155РЕ24.

При $A_9A_8=01$ управляющие сигналы формируют DD1 и выход DO_2 микросхемы DD4. В соответствии с таблицей прошивки микросхемы К155РЕ21 при нулевом наборе A_7 — A_3 и при переборе комбинаций $A_2A_1A_0$ с ее выходов считываются управляющие сигналы, соответствующие букве Ю, как показано в таблице на рис. 5.10 (для наглядности в изображениях кодовых комбинаций V1—V5 опущены 0).

Изменение кода A_3 — A_7 вызывает из памяти требуемый символ. Общее число символов 32. Формат их представления 7×5 (нулевая комбинация A_0 — A_2 не используется).

Для ознакомления со способами сопряжения блока памяти с устройствами отображения информации можно обратиться к [57].

В номенклатуре современных микросхем ПЗУМ со стандартными прошивками широко представлены микросхемы для знакогенераторов разного типа. Информация о таких микросхемах помещена в § 4.1.

5.5. Динамическое питание микросхем ПЗУ

Микросхемы ППЗУ и РПЗУ потребляют мощность 0,8 ... 1 Вт на корпус. Для снижения уровня энергопотребления используют способ динамического питания, вариант реализации которого приведен на рис. 5.11 [58].

Схема динамического питания включает дешифратор выбора микросхем DD17, транзисторные ключи VT1—VT16. Дешифратор DD17 под воздействием сигналов старших разрядов кода адреса A_{11}—A_{14} формирует на одном из своих выходов уровень 0 и обеспечивает открывание соответствующего транзистора. Через открытый транзистор на вывод питания микросхемы памяти поступает напряжение питания и приводит ее в рабочее состояние. Остальные микросхемы памяти, не имея питания, находятся в выключенном состоянии. Таким образом, схема динамического питания, помимо своей основной функции, реализует логику выбора микросхем памяти. При отсутствии обращения к блоку памяти при $A_{15}=1$ на выводах 14, 18 DD17 присутствует уровень 1, при котором на всех выходах устанавливаются 1 и поддерживают транзисторные ключи в закрытом состоянии. При этом все микросхемы памяти выключены и не потребляют тока от источника питания.

При использовании динамического питания существенно снижается потребляемая мощность, несколько увеличивается длительность цикла обращения к микросхемам памяти для считыва-

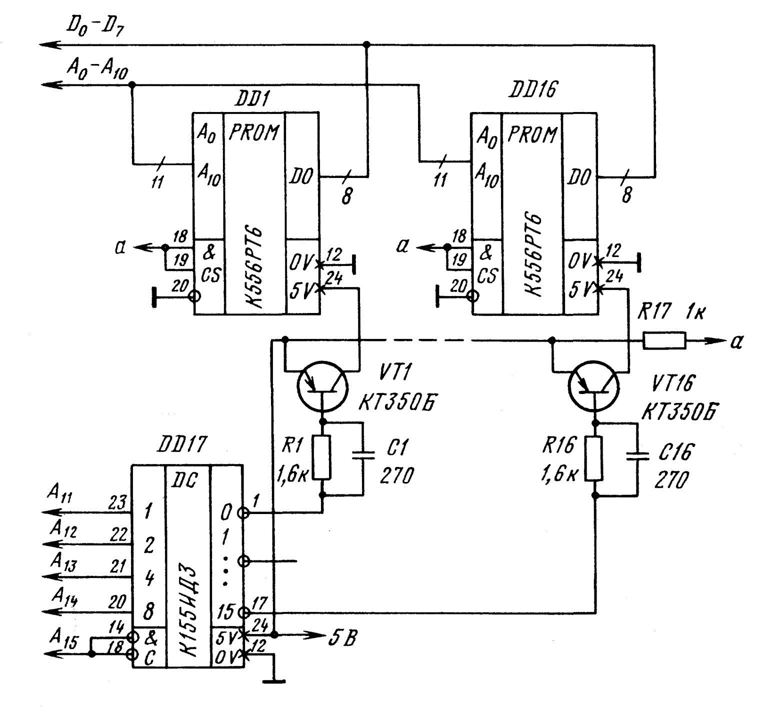


Рис. 5.11. Схема импульсного питания ПЗУ

ния и снижается напряжение питания на значение падения напряжения на открытом транзисторе. При недопустимости снижения уровня напряжения питания необходимо предусмотреть питание блока памяти от отдельного источника с напряжением 5,6 В.

Аналогичную схему динамического питания можно применить и для блока на микросхемах РПЗУ [59].

Указатель микросхем

Список литературы

1. **Полупроводниковые** запоминающие устройства и их применение/В. А. Андреев, В. В. Баранов, Н. В. Бекин и др.; Под ред. А. Ю. Гордонова.— М.: Радио и связь, 1981.—343 с.
2. **Полупроводниковые** БИС запоминающих устройств: Справочник. Под ред. А. Ю. Гордонова, Ю. Н. Дьякова.— М.: Радио и связь, 1986.—360 с.
3. **Хвощ С. Т., Варлинский Н. Н., Попов Е. А.** Микропроцессоры и микроЭВМ в схемах автоматического управления. Справочник/Под общей ред. С. Т. Хвоща.— Л.: Машиностроение, 1987.—640 с.
4. **Огнев И. В., Шамаев Ю. М.** Проектирование запоминающих устройств.— М.: Высшая школа, 1979.—320 с.
5. **Андреев В. П.** РПЗУ на основе стеклообразных полупроводников.— М.: Радио и связь, 1985.—201 с.
6. **Схемотехника** БИС постоянных запоминающих устройств/О. А. Петросян, И. Я. Козырь, Л. А. Коледов, Ю. И. Щетинин.— М.: Радио и связь, 1987.— 304 с.
7. **Караханян Э. Р., Шилин В. А.** Динамические интегральные схемы памяти с МДП структурой.— М.: Радио и связь, 1984.—136 с.
8. **Вениаминов В. Н., Лебедев О. Н., Мирошниченко А. И.** Микросхемы и их применение.— 3-е изд., перераб.— М.: Радио и связь, 1989.— 240 с.
9. **Заморин А. П., Мячев А. А., Селиванов Ю. П.** Вычислительные машины, системы, комплексы: Справочник/Под ред. Б. Н. Наумова, В. В. Пржиялковского.— М.: Энергоатомиздат, 1985.—264 с.
10. **ГОСТ 2.743—82.** Обозначения условные графические в схемах. Элементы цифровой техники.
11. **ГОСТ 19480—74** (с изменениями 1985 г.). Микросхемы интегральные. Термины, определения и буквенные обозначения электрических параметров.
12. **ГОСТ 17467—79.** Микросхемы интегральные. Основные размеры.
13. **ГОСТ 17467—72.** Микросхемы интегральные. Корпуса, типы и размеры.
14. **Аналоговые** и цифровые интегральные микросхемы. Под ред. С. В. Якубовского.— М.: Радио и связь, 1985.—432 с.
15. **Шило В. Л.** Популярные цифровые микросхемы: Справочник.— М.: Радио и связь, 1987.—352 с.
16. **Ланцов А. Л., Зворыкин Л. Н., Осипов И. Ф.** Цифровые устройства на комплементарных МДП-интегральных микросхемах.— М.: Радио и связь, 1983.— 272 с.
17. **Аваев Н. А., Дулин В. Н., Наумов Ю. Е.** Большие интегральные схемы с инжекционным питанием.— М.: Сов. радио, 1977.—248 с.
18. **Применение** интегральных микросхем в электронной вычислительной технике: Справочник/Под ред. Б. Н. Файзулаева, Б. В. Тарабрина.— М.: Радио и связь, 1986.—384 с.
19. **Однолько А. Б.** Сверхбыстродействующее статическое ОЗУ емкостью 64К // Электронная промышленность.—1987.— Вып. 3.— С. 17.

20. **Боулен М.** Энергонезависимое ЗУПВ с литиевыми батареями // Электроника.—1983.— Вып. 13.— С. 49.
21. **Лашевский Р. А., Тенк Э. Э., Хорин В. С.** Однокристальное статическое ОЗУ со встроенным интерфейсом // Микропроцессорные средства и системы.— 1984.— Вып. 2.— С. 85.
22. **Ахметжанов Б. М. и др.** СБИС динамического ЗУПВ емкостью 256К // Электронная промышленность.—1987.— Вып. 3.— С. 14.
23. **Анализ** функциональных возможностей, закладываемых в новое поколение динамических ЗУПВ емкостью 256К // Электроника.—1984.—№ 14.— С. 29.
24. **Коган А. Л. и др.** БИС регистрового ЗУ К1002ИР1 // Электронная промышленность.—1982.— Вып. 1.— С. 18.
25. **ОСТ 25969—82.** Системы малых электронных вычислительных машин. Интерфейс И41. Технические требования.
26. **ГОСТ 26765.51—86.** Система электронных модулей. Магистральный параллельный интерфейс (МПИ). Общие требования.
27. **Мячев А. А., Никольский О. А.** Стандартные интерфейсы микропроцессорных систем // Микропроцессорные средства и системы.—1984.— Вып. 1.— С. 27.
28. **Коффрон Д., Лонг В.** Расширение микропроцессорных систем.— М.: Машиностроение, 1987.—320 с.
29. **Дианов А. П., Щелкунов Н. Н.** Организация динамической памяти микросистем // Микропроцессорные средства и системы.—1987.— Вып. 4.— С. 75.
30. **Еремин Ю. А., Морозов А. Г.** Контроллер динамического ОЗУ для микропроцессорных устройств // Микропроцессорные средства и системы.—1986.— Вып. 3.— С. 75.
31. **Иванов С. Н., Романов А. Ф., Чернышов Ю. Н.** Одноплатная микроЭВМ на МПК БИС серии К1810 // Микропроцессорные средства и системы.— 1986.— Вып. 6.— С. 8.
32. **Горшков Д., Зеленко Г., Озеров Ю., Попов С.** Персональный радиолюбительский компьютер «Радио-86РК» // Радио.— 1986.— № 4.— С. 24; № 5.— С. 31.
33. **Курмаев О. Ф., Балабанов А. А.** Контроллер динамической памяти // Микропроцессорные средства и системы.—1988.— Вып. 1.— С. 79.
34. **Дианов А. П., Щелкунов Н. Н.** Малогабаритные источники питания для микросистем // Микропроцессорные средства и системы.—1987.— Вып. 3.— С. 73.
35. **Крылов А.** Блок питания компьютера «Радио-86РК» // Радио, 1986.—№ 11.— С. 26; № 12.— С. 17.
36. **Власкин А., Годин С.** Цифровой ревербератор // В помощь радиолюбителю.— Вып. 95.— С. 29.
37. **Рао В.** Использование ЗУПВ для формирования длительных задержек // Электроника.—1983.—№ 7.— С. 62.
38. **Кутыркин С. Б., Маньжов Б. Н., Шиндов В. С.** Аналого-цифровое устройство для исследования и регистрации электрических сигналов // Электронная промышленность.—1985.— Вып. 9.— С. 15.
39. **Овчинников Л. Г., Сороченко Н. И.** Устройство индикации // Микропроцессорные средства и системы.—1987.— Вып. 4.— С. 46.
40. **Пузаков А.** Телеграфный ключ с селективной памятью // В помощь радиолюбителю.— Вып. 99.— С. 27.
41. **Абрамов С. Н. и др.** КМОП ПЗУ К563РЕ2 со встроенной схемой исправления ошибок // Электронная промышленность.—1987.— Вып. 4.— С. 50.
42. **Демин С. Г., Кружанов Ю. В., Эннс В. И.** Биполярное ПЗУ КА596РЕ2 со встроенными схемами исправления ошибок и самоконтроля // Электронная промышленность.—1985.— Вып. 9.— С. 6.
43. **Агапкин В. П. и др.** Комплект схем постоянной памяти для микропроцессорной техники // Электронная промышленность.—1985.— Вып. 7.— С. 17.
44. **Лукьянов Д. А.** ПЗУ — универсальный элемент цифровой техники // Микропроцессорные средства и системы.—1986.— Вып. 1.— С. 75.
45. **Щелкунов Н. Н., Дианов А. П.** ПЗУ вместо произвольной логики // Микропроцессорные средства и системы.—1986.— Вып. 1.— С. 83.

46. **Власенко В.** Применение ППЗУ // Радио.—1987.—№ 11.— С. 27.
47. **Пузаков А.** ПЗУ в спортивной аппаратуре // Радио.—1982.— № 1.— С. 22.
48. **Щербаков О. А.** Особенности применения ПЛМ в микропроцессорных системах // Микропроцессорные средства и системы.—1986.— Вып. 2.— С. 80.
49. **Дианов А. П., Щелкунов Н. Н.** Методика программирования микросхем ПЗУ // Микропроцессорные средства и системы.—1985.— Вып. 3.— С. 75.
50. **Лукьянов Д. А.** Схемотехника универсальных программаторов ПЗУ // Микропроцессорные средства и системы.—1985.— Вып. 3.— С. 84.
51. **Лукьянов Д., Богдан А.** «Радио-86РК» — Программатор ПЗУ // Радио.—1987.— № 8.— С. 21; № 9.— С. 24; 1988.— № 2.— С. 24.
52. **Лукьянов Д.** Радио — о «Радио-86РК» // Радио.—1986.—№ 10.— С. 32.
53. **Щелкунов Н. Н., Дианов А. П.** Процедуры программирования логических матриц // Микропроцессорные средства и системы.—1986.— Вып. 2.— С. 71.
54. **Дианов А. П., Щелкунов Н. Н.** Модули программирования логических схем // Микропроцессорные средства и системы.—1988.— Вып. 1.— С. 40.
55. **Найденов А. В., Романенко В. А.** Программатор ППЗУ на базе микроЭВМ «Электроника К1-20» // Микропроцессорные средства и системы.—1986.— Вып. 5.— С. 34.
56. **Жихарев В. И.** Программатор на базе микроЭВМ «Электроника Д3-28» // Микропроцессорные средства и системы.—1986.— Вып. 5.— С. 40.
57. **Бирюков С., Краснов Е.** Свето-информационное табло // Радио.—1987.— № 6.— С. 17.
58. **Сергеев А.** Динамическое питание ПЗУ // Радио.—1987.— № 12.— С. 26.
59. **Шуман Д.** Снижение мощности потребления устройств памяти на СППЗУ путем стробирования // Электроника.—1983.— № 10.— С. 56.
60. **Гладышев В. В.** Энергонезависимое ОЗУ в качестве имитатора ПЗУ // Микропроцессорные средства и системы.—1988.— Вып. 2.— С. 32.
61. **Интерфейсные** БИС микропроцессорного комплекта К1801 // Микропроцессорные средства и системы.—1988.— Вып. 4.— С. 89.
62. **Семейство** ЭВМ «Электроника К1»/Под ред. Л. Н. Преснухина.— М.: Высшая школа, 1988.—191 с.

Оглавление

75 к.

МРБ

Микросхемы памяти и их применение

Издательство «Радио и связь»